



YFC82069

数据手册

2024 年 6 月



目录

1.概述.....	3
2.主要特征	3
3.应用	3
4.本产品突出性能特点	4
5.管脚分布和功能描述	5
6.直流规格	6
7.交流规格	7
8.数字特性	7
9.静电防护	8
10.寄存器配置.....	8
11.工作时序	10
12.寄存器读出.....	12
13.驱动电路	13
14.时钟质量	14
15 封装形式	15
16.典型特性	17



1. 概述

YFC82069 是一款 16 位双通道采样模数转换(ADC)，专门针对高性能、低功耗和易用性进行了优化。该产品的转换速率最高可达 250 MSPS，具有杰出的动态性能，适合宽带载波和宽带系统使用。芯片上集成了全部必需功能，包括采样保持（T/H）与基准电压源，可提供完整的信号转换解决方案。

YFC82069 采用先进的 CMOS 工艺制造，提供 64 引脚 VQFN 封装，额定温度范围为-55°C 至+125°C 温度范围。

2. 主要特征

- 本产品 pin-to-pin 兼容 ADS42LB69
- 16 位分辨率
- 最大时钟速率：250MSPS
- 双通道 ADC
- 双倍数据速率(DDR)低压差分信令(LVDS) 接口
- 64 引脚超薄型四方扁平无引线(VQFN) 封装(9mm× 9mm)
- 功耗：600mW/通道
- 信噪比（SNR）：74 dBFS（fin 为 70 MHz，250 MSPS）
- 无杂散动态范围（SFDR）：-90 dBFS
（fin 为 70 MHz，250 MSPS，-1.0 dBFS）
- 工作温度范围:零下 55 摄氏度到 125 摄氏度
- 带内部 dither

3. 应用

- 通信和线缆基础设施
- 多载波、多模蜂窝接收器
- 雷达和智能天线阵列
- 宽带无线
- 测试和测量仪器
- 软件定义的和多样性射频
- 微波和双通道 I/O 接收器
- 集线器
- 功率放大器线性化



表 1 本产品和 TI 公司 ADS42LB69 性能比较

	SNR	SFDR	ENOB	带宽	功耗
YFC82069	74dBFS	90dBFS	12 bit	800M	600mW
ADS42LB69	73.7dBFS	90dBFS	11.9 bit	400M	820mW

注：测试条件为 2Vpp，70M 输入，250M 时钟。

4. 本产品突出性能特点

- 高性能：在输入频率 70M，采样频率 250M 时信噪比为 74dbfs。
- 低功耗：在 250M 采样率时功耗仅为每通道 600mW。
- 易于使用：LVDS 数据输出，而且便于和 FPGA 配合使用。片上参考和采样保持电路给系统设计带来了很高的灵活性。
- 串口控制：标准的串行接口可以支持芯片的各种功能设置，像数据格式控制、时钟占空比控制、电源关断、增益调节和输出测试模式产生等等。
- 管脚兼容：本产品脚对脚兼容 ADS42LB69



5. 管脚分布和功能描述

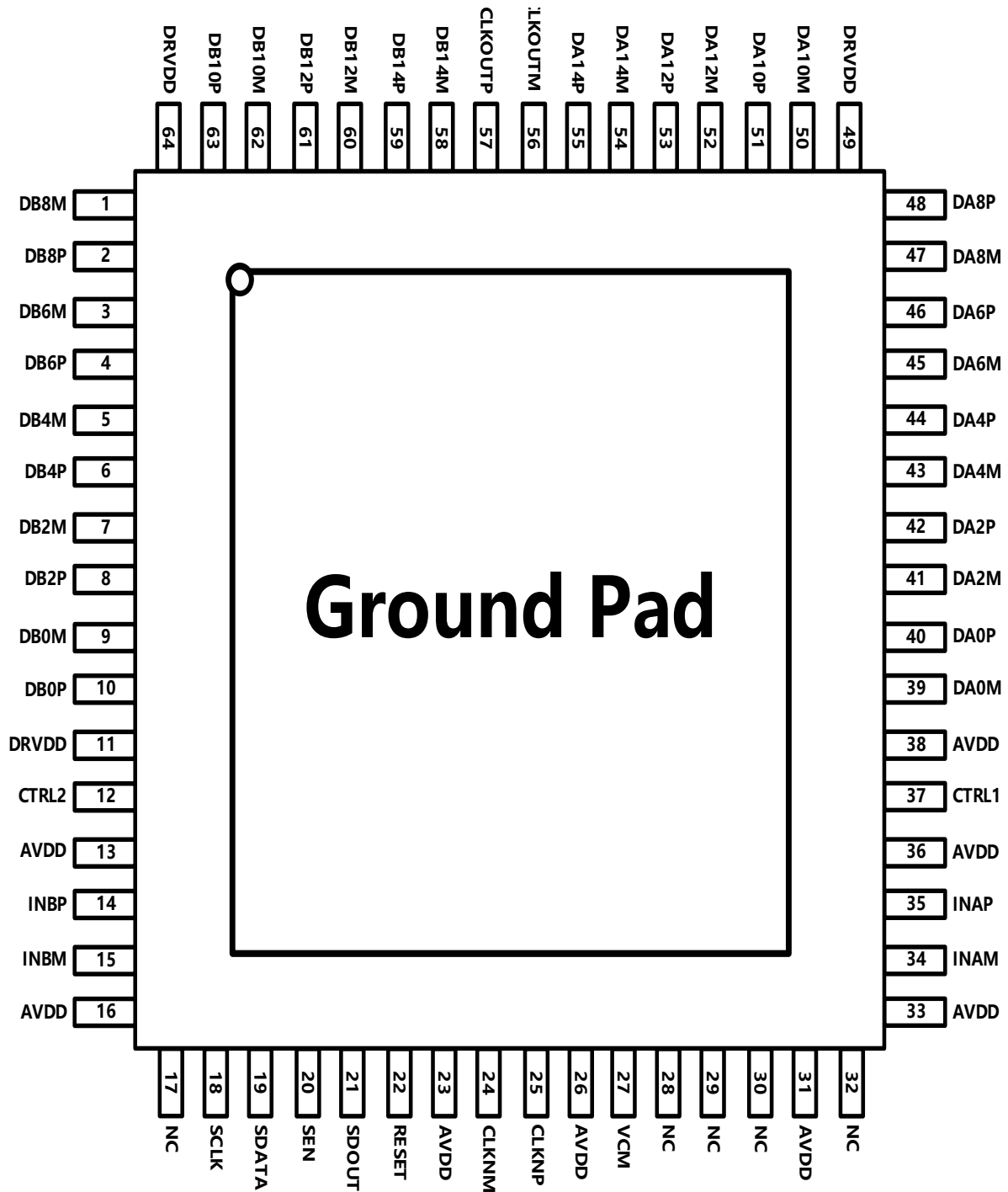


图 1 管脚分布



表 2 管脚功能描述

管脚序号	输入/输出	管脚名称	描述
34,35	输入	INAM,INAP	A 通道模拟差分输入
14,15	输入	INBP,INBM	B 通道模拟差分输入
27	输出	VCM	模拟输入共模电平,1.0V
24,25	输入	CLKINP,CLKINM	差分时钟输入（内部共模偏置在 0.95V）
17,28,29,30,32		NC	No Connection
37	输入/输出	CTRL1	可被配置为 A 通道的 power-down 控制端（高有效）或者 A 通道的 OVR 输出（默认为 power-down），片内具有 50K 欧姆下拉电阻
12	输入/输出	CTRL2	可被配置为 B 通道的 power-down 控制端（高有效）或者 B 通道的 OVR 输出（默认为 power-down），片内具有 50K 欧姆下拉电阻
22	输入	RESET	硬件复位,高有效，片内具有 50K 欧姆下拉电阻
18	输入	SCLK	串口时钟输入，片内具有 50K 欧姆下拉电阻
19	输入	SDATA	串口数据输入，片内具有 50K 欧姆下拉电阻
21	输出	SDOUT	串口数据输出，片内具有 20K 欧姆下拉电阻
20	输入	SEN	串口使能，片内具有 50K 欧姆下拉电阻（ADS42LB69 为片内上拉电阻）
56,57	输出	CLKOUTP,CLKOUTM	差分 LVDS 时钟输出
39-48,50-55	输出	DA[14:0]P,DA[14:0]M	A 通道 DDR LVDS 输出
1-10,58-63	输出	DB[14:0]P,DB[14:0]M	B 通道 DDR LVDS 输出
13,16,23,26,31,33,36,38	输入	AVDD	模拟电源 1.8V
11,49,64	输入	DRVDD	数字 1.8V 电源
Ground pad	输入	GND	地

6. 直流规格

表 3 直流规格

参数	最小值	典型值	最大值	单位
分辨率		16		位
时钟输入	10		250	MHz
输入带宽(2V 输入)		800		MHz
模拟差分输入范围 (差分峰峰值)		2		伏
DNL			±0.5	LSB
INL			±6	LSB
Offset			±1	mV
Gain Error			±5	%FS
模拟输入共模		1.0		伏
AVDD 电源电压	1.7	1.8	1.9	伏
DRVDD 电源电压	1.7	1.8	1.9	伏
IAVDD 模拟电源电 流值		800		毫安
IDRVDD 数字电源电 流值		120		毫安
功耗		600		毫瓦



表 4 绝对最大额定值

		最小值	最大值	单位
电源电压	AVDD	-0.3	2.1	伏
	DRVDDD	-0.3	2.1	
输入端电压	模拟输入端电压	-0.3	AVDD+0.2	
	时钟输入端电压	-0.3	AVDD+0.2	
	SCLK,SEN,SDATA,RESET,CTRL1,CTRL2	-0.3	3.9	
温度范围	工作温度范围	-55	125	摄氏度
	储存温度范围	-65	150	

7. 交流规格

测试条件: $T_A = 25^{\circ}\text{C}$, AVDD=1.8V, DRVDD=1.8V, 时钟占空比为 50%, 模拟输入为-1dbFS, 采样率为 250MSPS

表 5 交流规格

参数		最小值	典型值	最大值	单位
信 噪 比 (SNR)	$f_{IN}=10\text{MHz}$		74.2		dBFS
	$f_{IN}=70\text{MHz}$		74		dBFS
	$f_{IN}=225\text{MHz}$	70.8	73.2		dBFS
信号与噪 声谐波比 (SFDR)	$f_{IN}=10\text{MHz}$		74		dBFS
	$f_{IN}=70\text{MHz}$		73.9		dBFS
	$f_{IN}=225\text{MHz}$	69.6	71.5		dBFS
有 效 位 (ENOB)	$f_{IN}=10\text{MHz}$		12		位
	$f_{IN}=70\text{MHz}$		12		位
	$f_{IN}=225\text{MHz}$	11.3	11.6		位
无杂散动 态 范 围 (SFDR)	$f_{IN}=10\text{MHz}$		89		dBFS
	$f_{IN}=70\text{MHz}$		89.8		dBFS
	$f_{IN}=225\text{MHz}$	72	75.5		dBFS
模拟带宽			800		MHz
电源抑制 比	50-mVpp, 加到 AVDD 端, 10M 以内	40			dB
通道隔离 度	150M 满量程 输入对另一通 道		105		dB

8. 数字特性

表 6 数字特性

参数	测试条件	最小值	典型值	最大值	单位
数字输入 (RESET, SCLK, SDATA, SEN, CTRL1, CTRL2)					
V_{IH} , 高电平输入电压		1.3			V
V_{IL} , 低电平输入电压				0.4	V



I_{IH} , 高电平输入电流	$V_{HIGH}=1.8V$		10		μA
I_{IL} , 低电平输入电流	$V_{LOW}=0V$		0		μA
数字输出 (OVRA, OVRB, SDOUT)					
V_{OH} , 高电平输出电压		DRVDD-0.1	DRVDD		V
V_{OL} , 低电平输出电压			0	0.1	V
LVDS 数字输出					
V_{ODH} , 高电平输出差分电压	外部端接 100 Ω	250	350	500	mV
V_{ODL} , 低电平输出差分电压	外部端接 100 Ω	-500	-350	-250	mV
V_{OCM} , 输出共模电压			1.05		V

9. 静电防护

表 7 ESD 等级

		最大值	单位
$V_{(ESD)}$ Electrostatic discharge	HBM, MIL-STD-883K / Method 3015.9	± 2500	V
$V_{(ESD)}$ Electrostatic discharge	CDM, ESDA/JEDEC JS-002-2018	± 1000	V

10. 寄存器配置

表 8 寄存器列表

寄存器地址	寄存器数据							
A[7:0]	D7	D6	D5	D4	D3	D2	D1	D0
03	0	0	0	PDN_OVR	0	0	0	0
07	0	0	0	0	0	DITHER_EN	0	0
08	0	BK_CAL	0	0	0	FORE_CAL	1	1
16	0	0	LVDS_LV<5>	LVDS_LV<4>	LVDS_LV<3>	LVDS_LV<2>	LVDS_LV<1>	LVDS_LV<0>
17	0	0	0	1	DCO_DLY<1>	DCO_DLY<0>	0	0



表 9 寄存器 03 描述

Bit	Field	默认值	描述
D[7:5]	-	000	写 '0'
D4	PDN_OVR	0	决定 CTRL1,CTRL2 管脚为power-down输入, 或是OVR输出: : '0': CTRL1 和 CTRL2 管脚为输入, 功能为power-down控制端, 高有效。 '1': CTRL1 和 CTRL2 管脚为输出, 功能分别为AB两通道的溢出标志。
D[3:0]	-	0000	写 '0'

表 10 寄存器 07 描述

Bit	Field	默认值	描述
D[7:3]	-	00000	写 '0'
D2	DITHER_EN	0	写'1'时dithering打开, 否则dithering关闭。
D[1:0]	-	00	写 '0'

表 11 寄存器 08 描述

Bit	Field	默认值	描述
D7	-	0	写 '0'
D6	BK_CAL	0	写'1'时后台校准打开。 写'0'时后台校准关闭。
D[5:3]	-	000	写 '0'
D2	FORE_CAL	0	上升沿有效。写'1'时前台校准打开; 如果需要重新进行前台校准, 需要先把此位写为'0', 然后再写入'1'。
D[1:0]	-	11	写 '1'

表 8 寄存器 16 描述

Bit	Field	默认值	描述
D[7:6]	-	00	写 '0'
D[5:0]	LVDS_LV<5:0>	011001	写'001011'时: LVDS输出信号摆幅160mV 写'011001'时: LVDS输出信号摆幅350mV 写'011110'时: LVDS输出信号摆幅420mV 写'100001'时: LVDS输出信号摆幅470mV 写'100111'时: LVDS输出信号摆幅560mV

表 9 寄存器 17 描述

Bit	Field	默认值	描述
D[7:5]	-	000	写 '0'
D4	-	1	写 '1'
D[3:2]	DCO_DLY<1:0>	01	写'00'时: default-500ps 写'01'时: default 写'10'时: default+250ps 写'11'时: default+500ps
D[1:0]	-	00	写 '0'



表 14 推荐用户寄存器配置
前台校准

寄存器地址	寄存器值
0x11	0x01
0x16	0x04
0x08	0x03
0x08	0x07
0x13	0x5b

打开 dither

寄存器地址	寄存器值
0x07	0x04

注：应在前台配置完成 1ms 后打开 dither

11.工作时序

本产品的流水线延迟（Pipeline Delay）为 7 个时钟周期。时序图如下图所示。

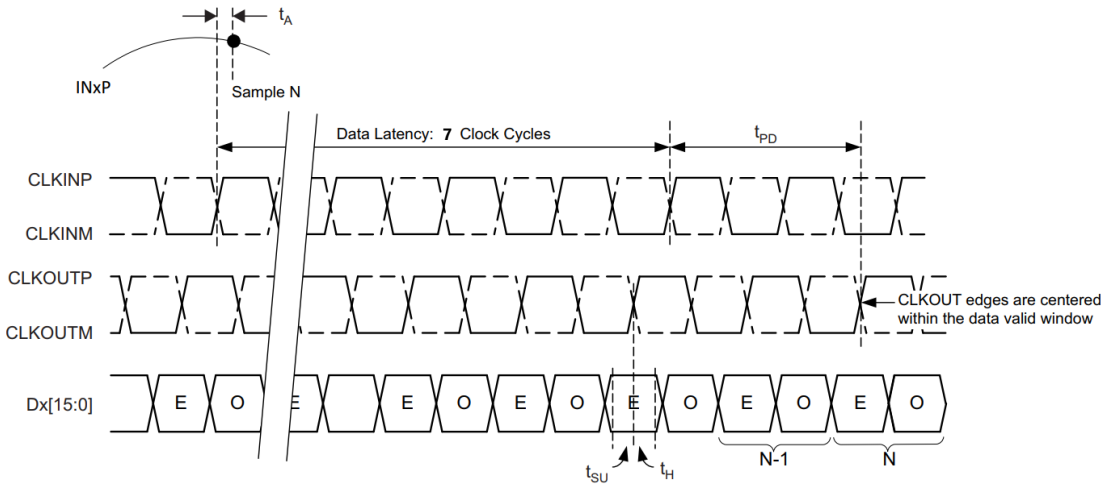


图 2 工作时序

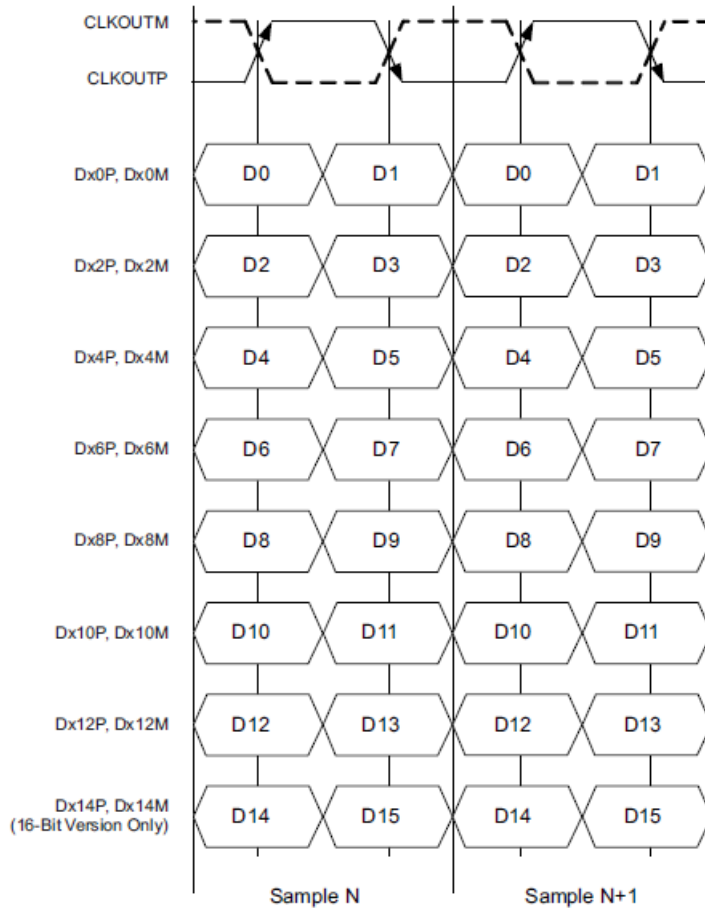


图 3 DDR LVDS 输出时序

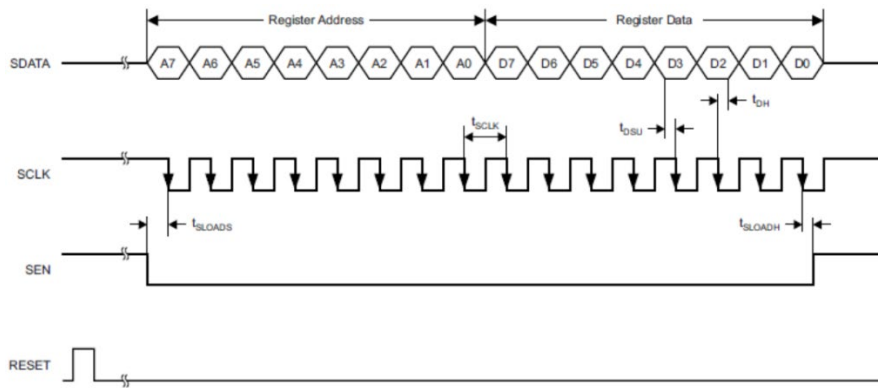


图 4 SPI 访问寄存器---写操作示意图

SPI 接口设置用来写预定地址的寄存器，进而控制芯片内部的电路设置或用于设计调试目的。图 4 给出了 SPI 访问寄存器写操作示意图。其中， $t_{sclk} > 10ns$ ， $t_{LOADS} > 2ns$ ， $t_{LOADH} > 2ns$ ， $t_{DSU} > 2ns$ ， $t_{DH} > 2ns$ 写寄存器操作时，每次 16bit，前 8bit 为寄存器地址，后 8 bit 为寄存器值。



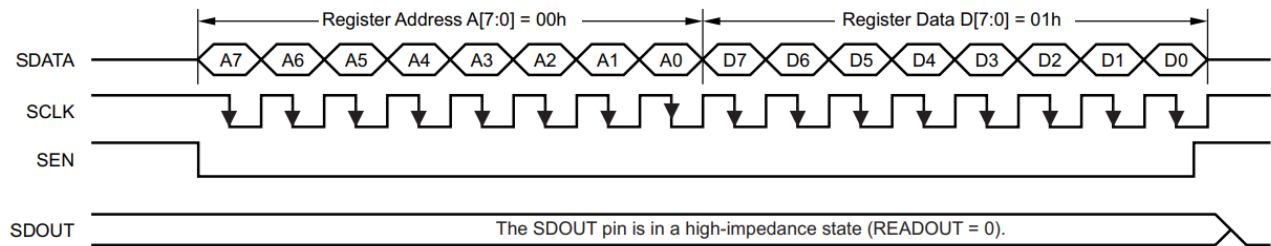
12. 寄存器读出

本产品具有内部寄存器读出功能。内部寄存器读出功能对于检验外部控制器和 ADC 之间的通信状况是非常有用的。寄存器读出的具体步骤如下。

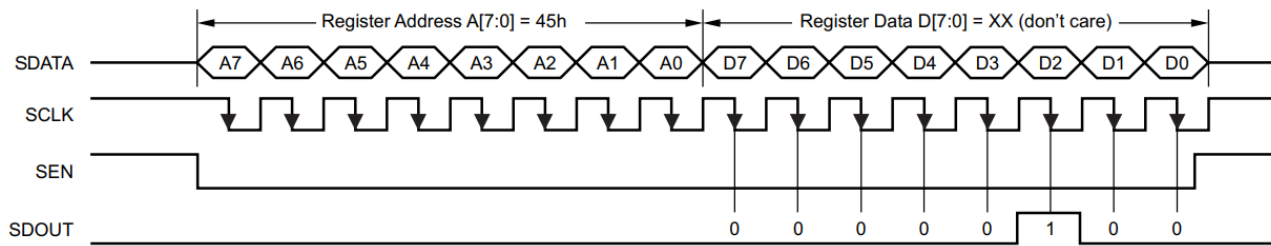
- 把读出寄存器（00h）设置为 1。这个设置使得内部寄存器无法再被写入（00h 寄存器除外）。
- 开启一个寄存器读出周期，在 SDATA 端输入要读出内容的寄存器的地址。
- 被选中的寄存器的内容会被读出在 SDOUT 端。
- 外部控制器应该在 SCLK 的下降沿采集 SDOUT 数据。
- 读出完成后，应该把读出寄存器（00h）重新写回 0，这样寄存器又回到写入模式。

注 1：每一次执行读取寄存器任务时，都需要执行以上五步操作。

注 2：00h 寄存器的内容无法被读出，因为这个寄存器包含 RESET 位和 READOUT 位。当寄存器读出功能被停止时，SDOUT 输出端呈现高阻态。如果不需要使用串口读出功能，SDOUT 端需要被浮空。



(a) 设置读出寄存器，启动串口读出功能（READOUT=1）



(b) 把地址为 45h 的寄存器内容读出，该寄存器值为 04h

图 5 串口读出时序

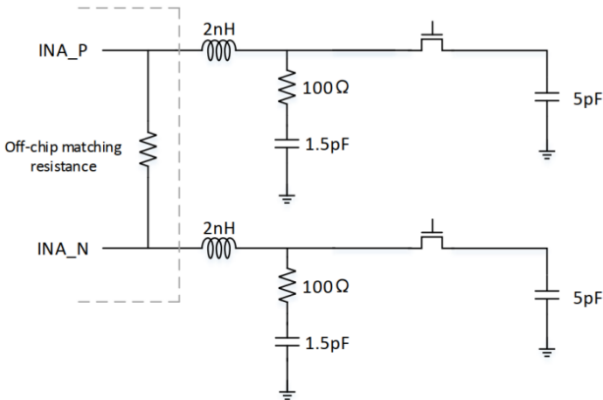




图 8 模拟输入网络（虚线右边为片内）

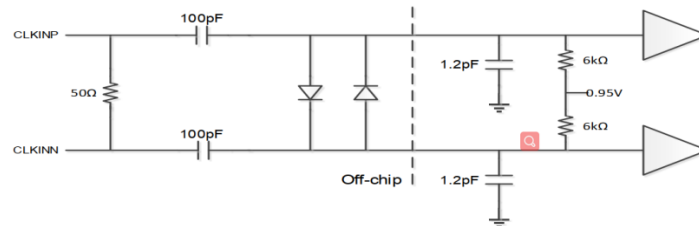


图 9 时钟输入网络（虚线右边为片内）

采用 4:1 阻抗比变压器增大驱动摆幅，有利于降低时钟抖动。时钟输入的共模偏置由内部提供。

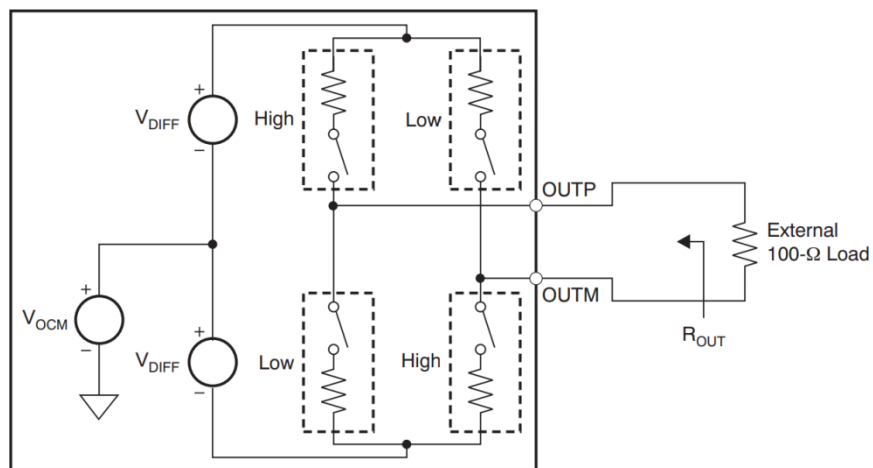


图 10 LVDS 输出电路

13. 驱动电路

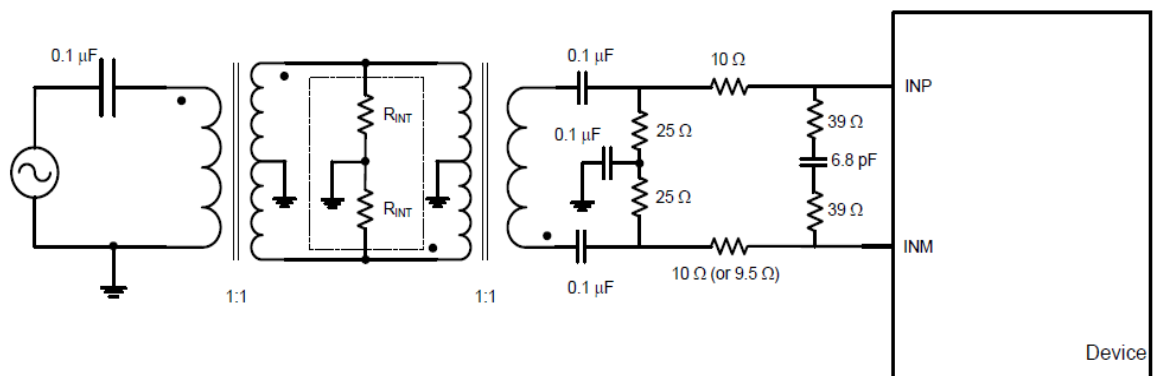




图 6 模拟输入端的驱动电路（输入频率小于 250M 时）

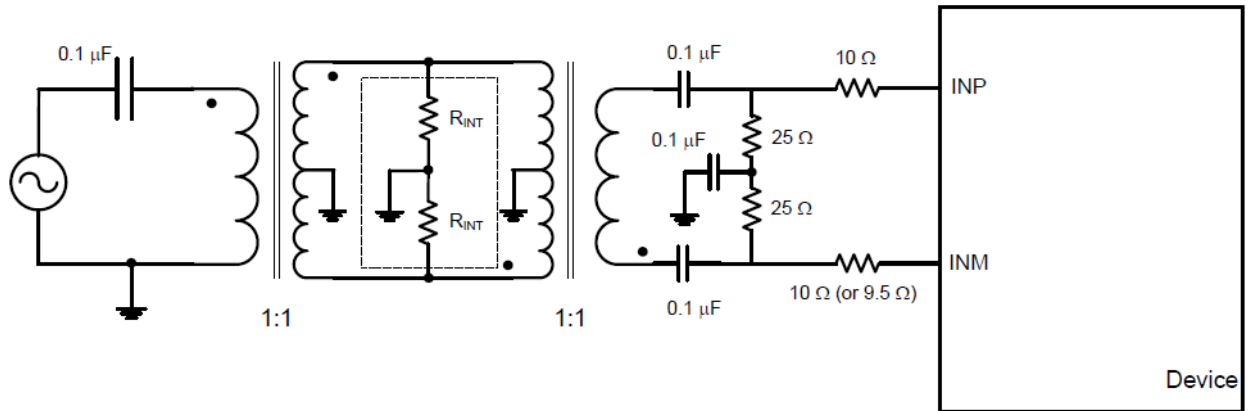


图 7 模拟输入端的驱动电路（输入频率大于 250M 时）

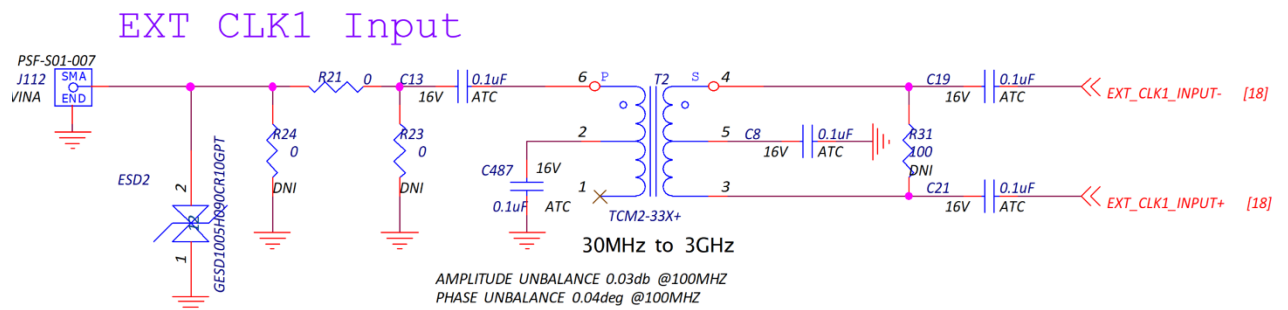


图 8 时钟输入端的驱动电路

14. 时钟质量

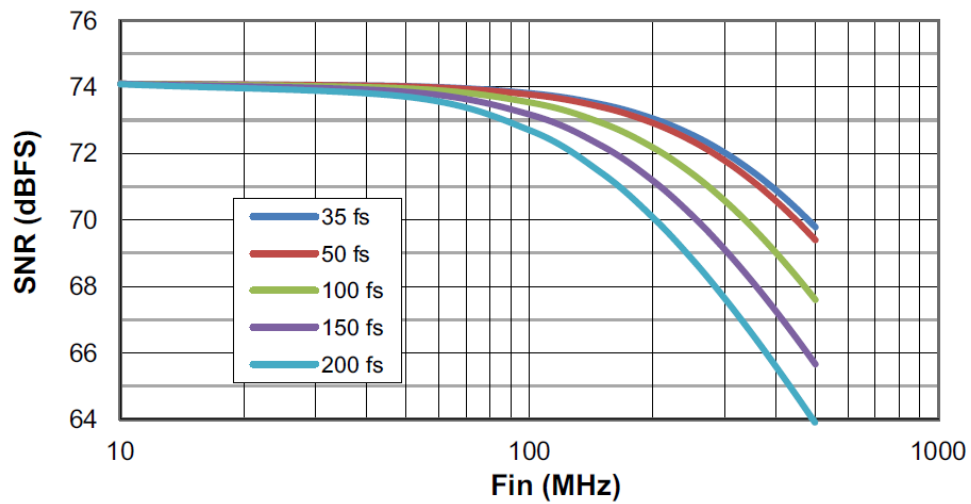




图 9 时钟抖动对信噪比的影响

15.封装形式

本产品采用 VQFN-64 封装（9mm X 9mm），封装与尺寸如下所示（图中尺寸单位为毫米）：

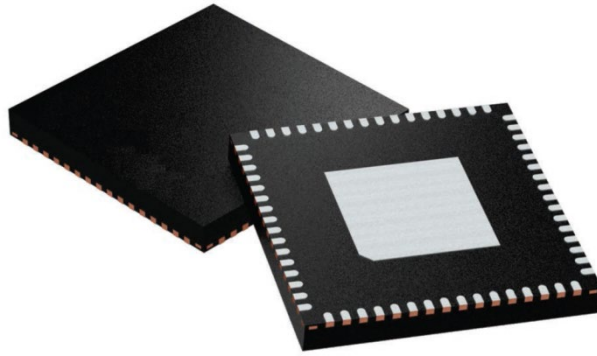
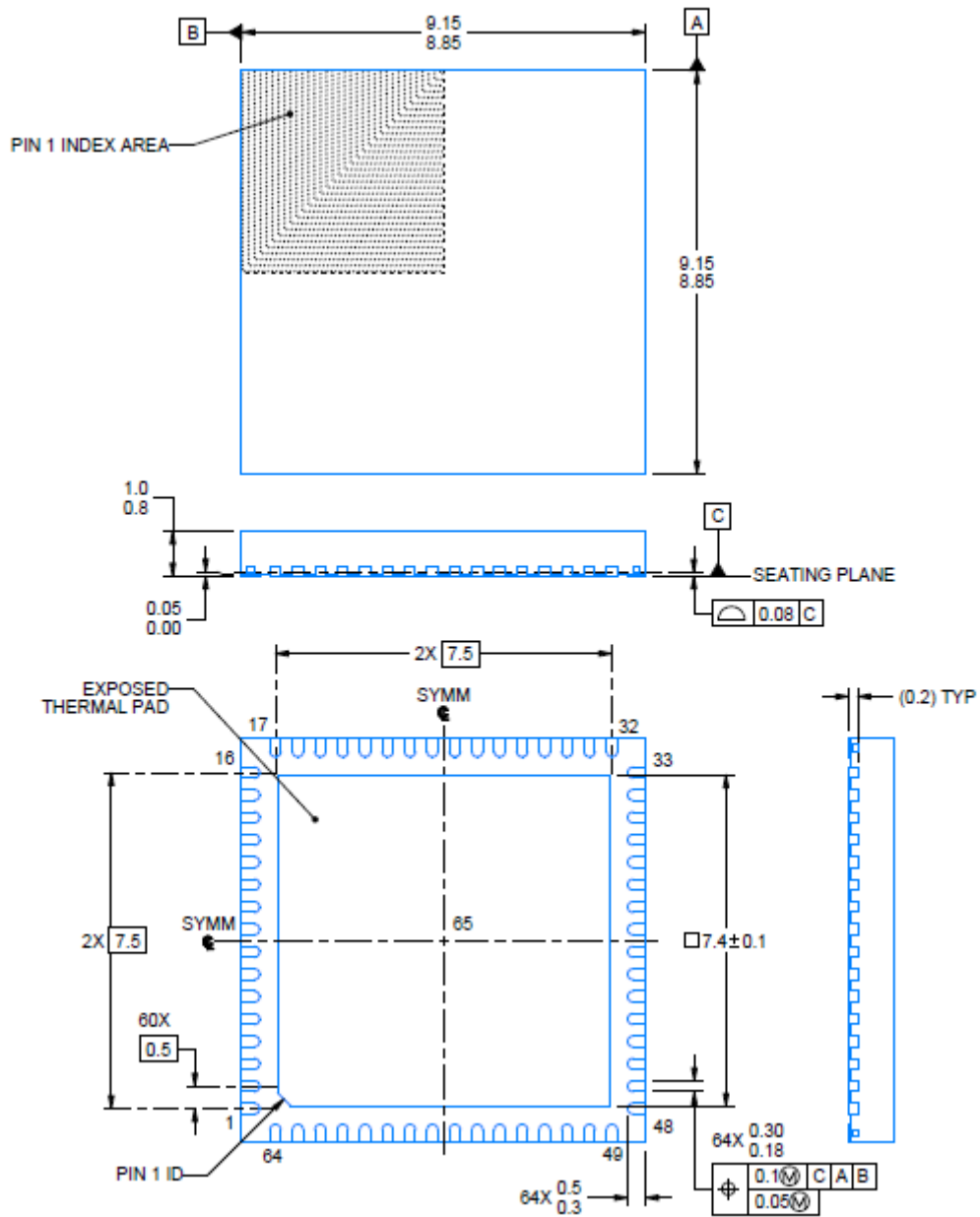


图 10 芯片封装（VQFN-64，9mm x 9mm）



16 / 22

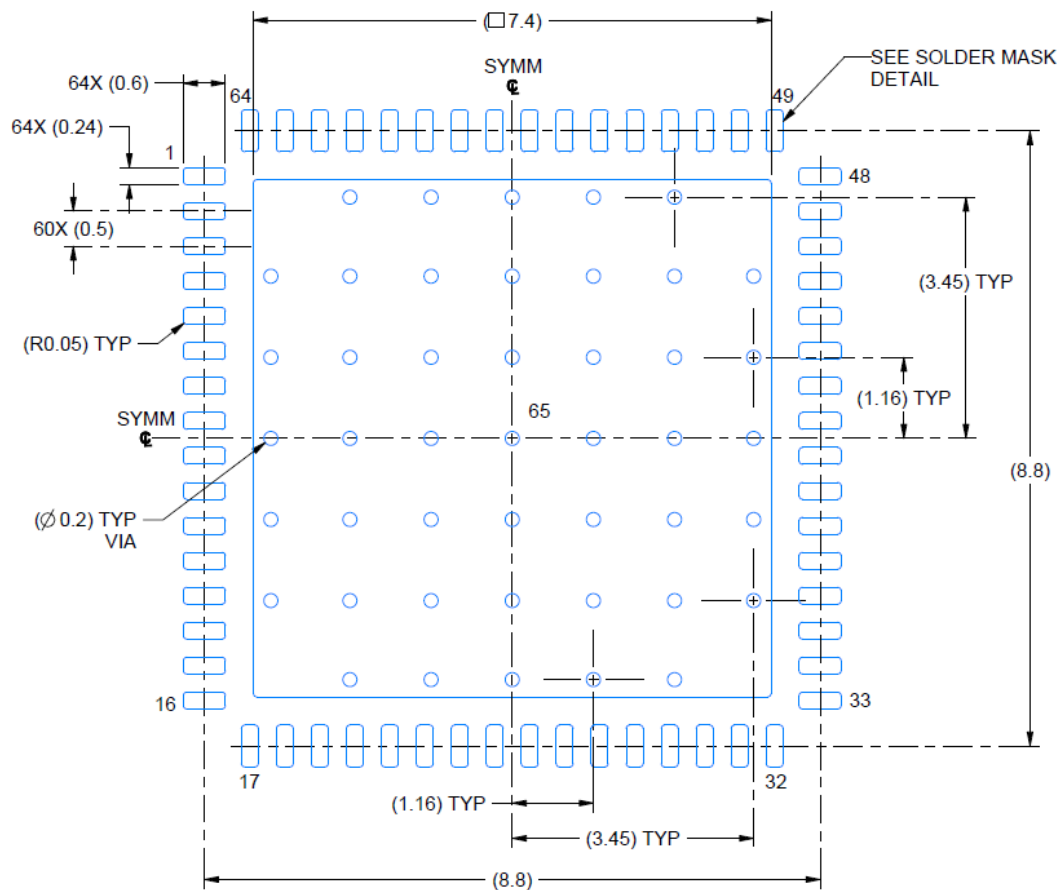


图 12 PCB 管脚排布

16. 典型特性

测试条件: $T_A = 25^\circ\text{C}$, $AVDD = 1.8\text{V}$, $DRVDD = 1.8\text{V}$, 时钟占空比为 50%, 采样率为 250MSPS

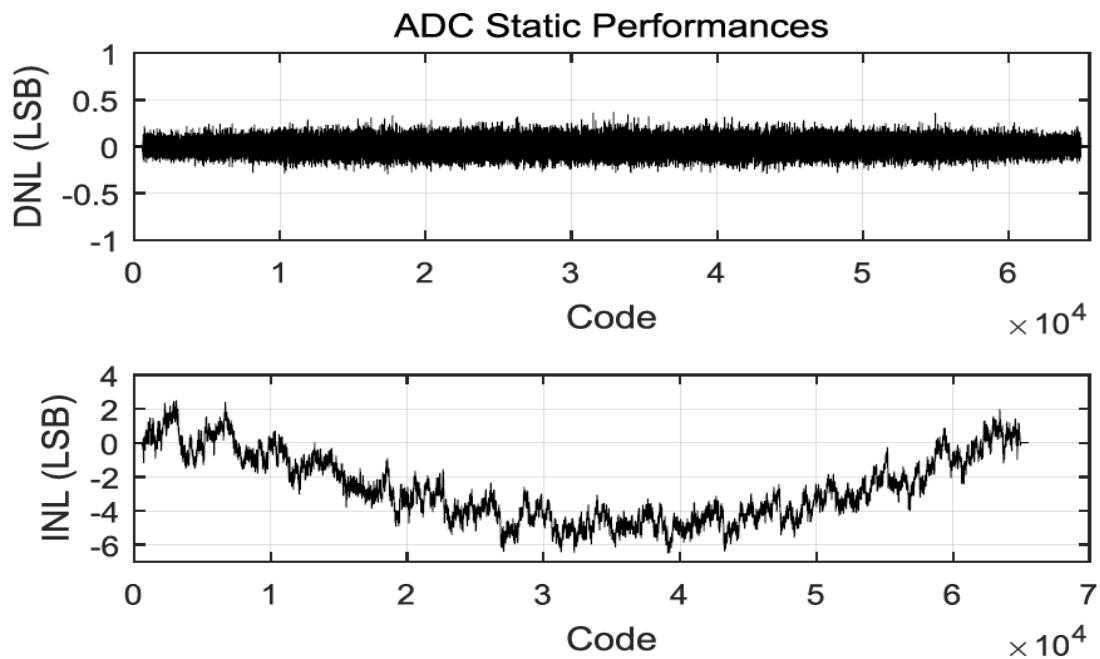


图 13 典型静态特性 ($f_{in} = 70\text{MHz}$ @250MS/s)

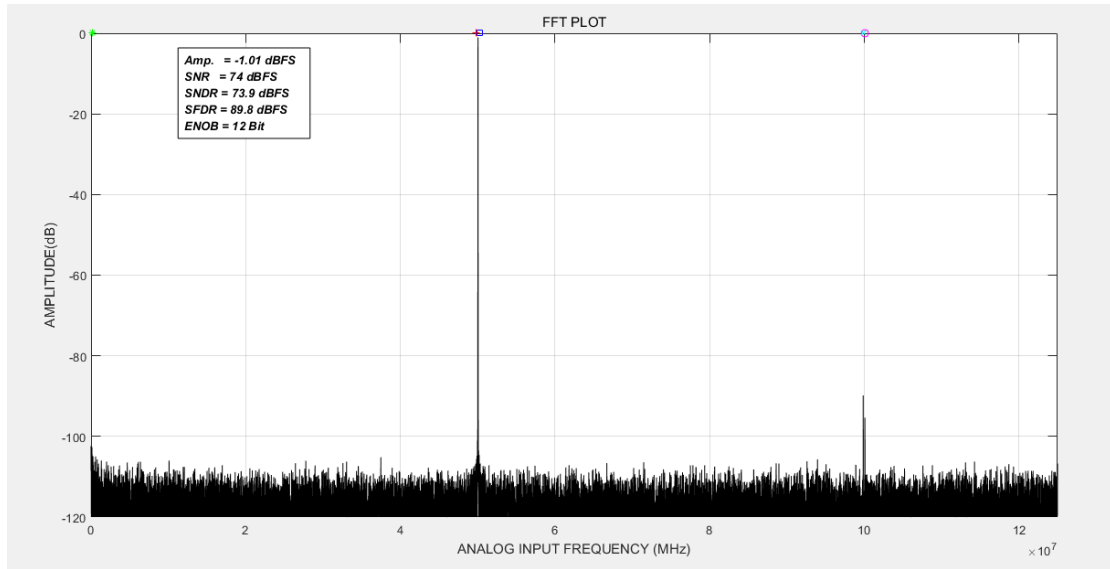


图 14 A_CHANNEL FIN=50M AMP=-1dbfs

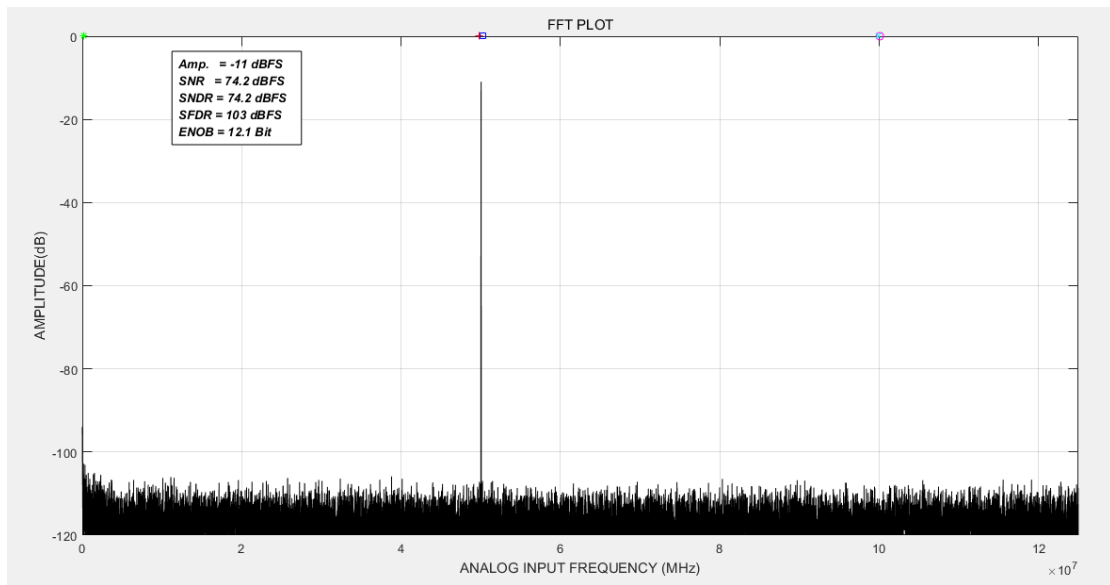


图 150 A_CHANNEL FIN=50M AMP=-11dbfs

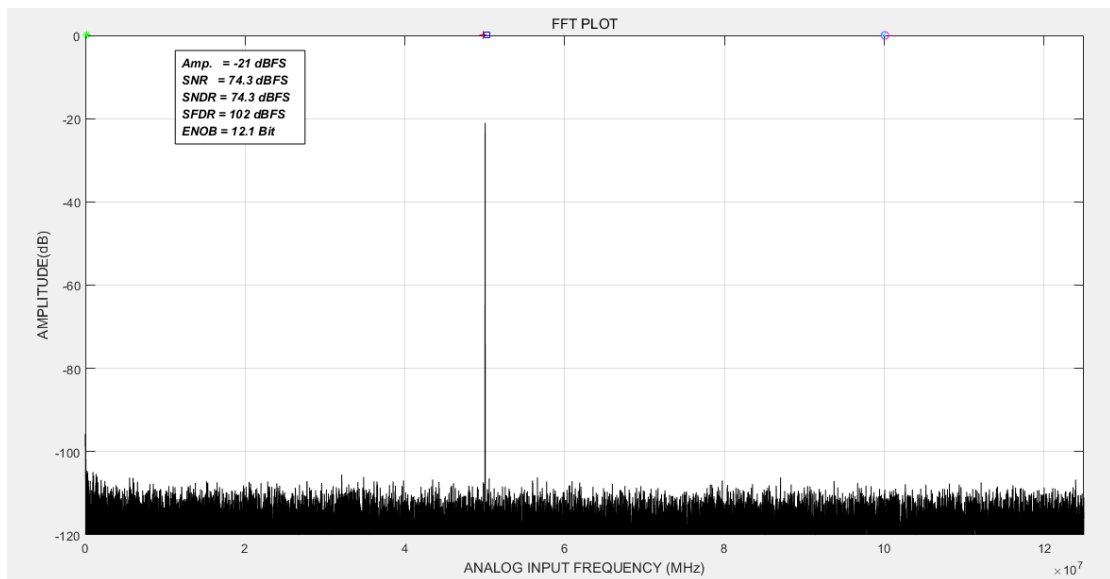




图 21 A_CHANNEL FIN=50M AMP=-21dbfs

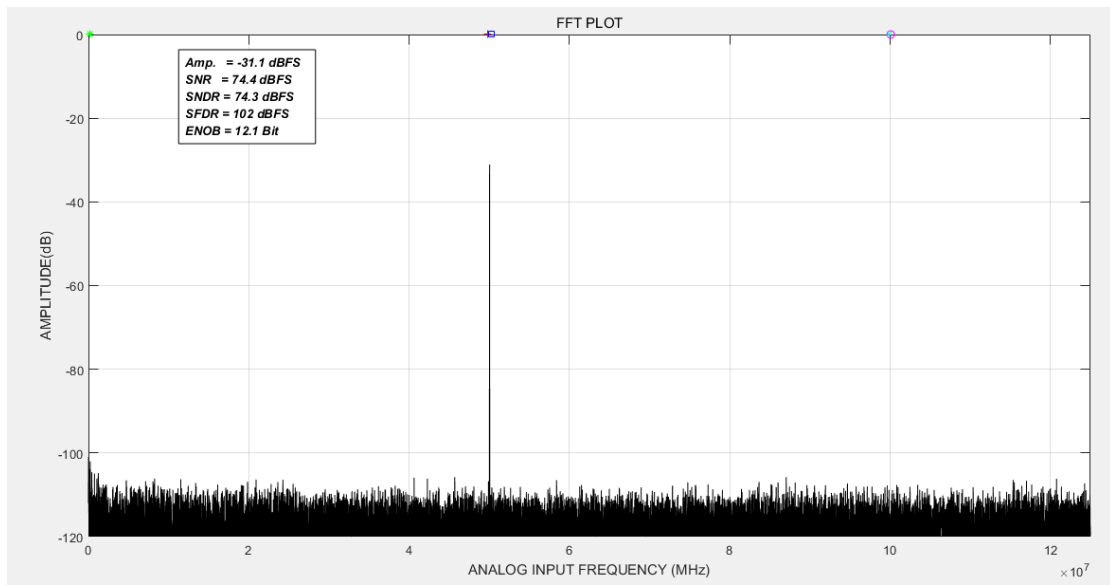


图 22 A_CHANNEL FIN=50M AMP=-31dbfs

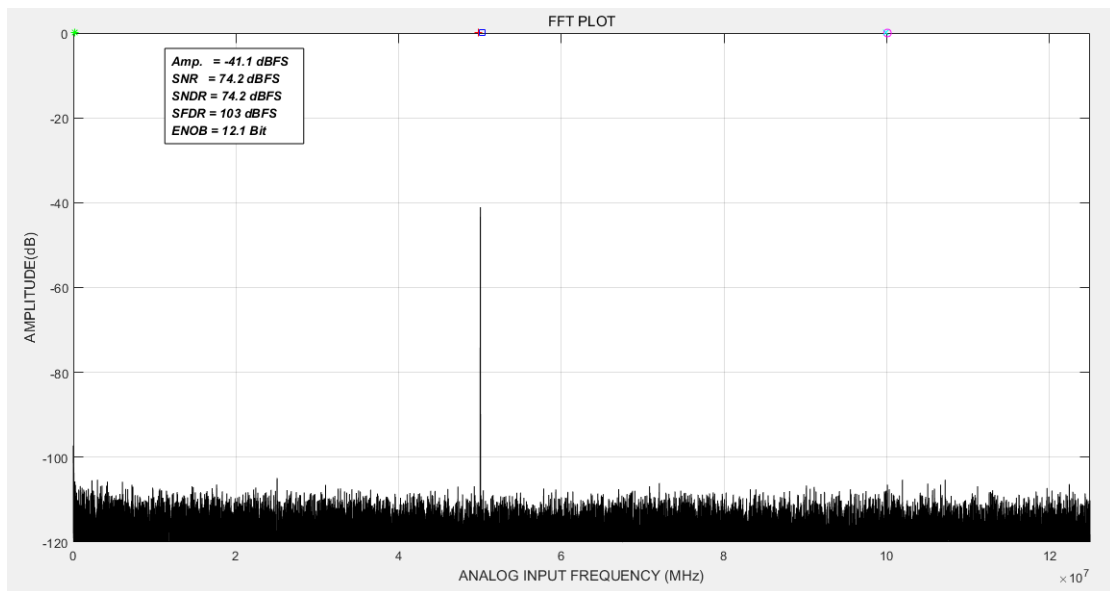


图 23 A_CHANNEL FIN=50M AMP=-41dbfs

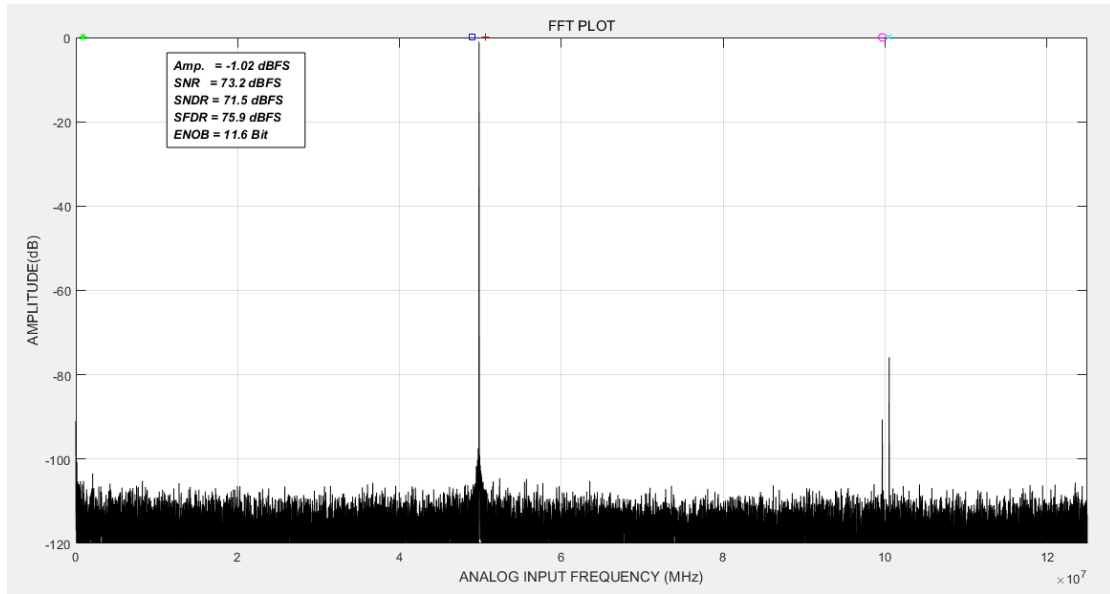


图 24 B_CHANNEL FIN=200M AMP=-1dbfs

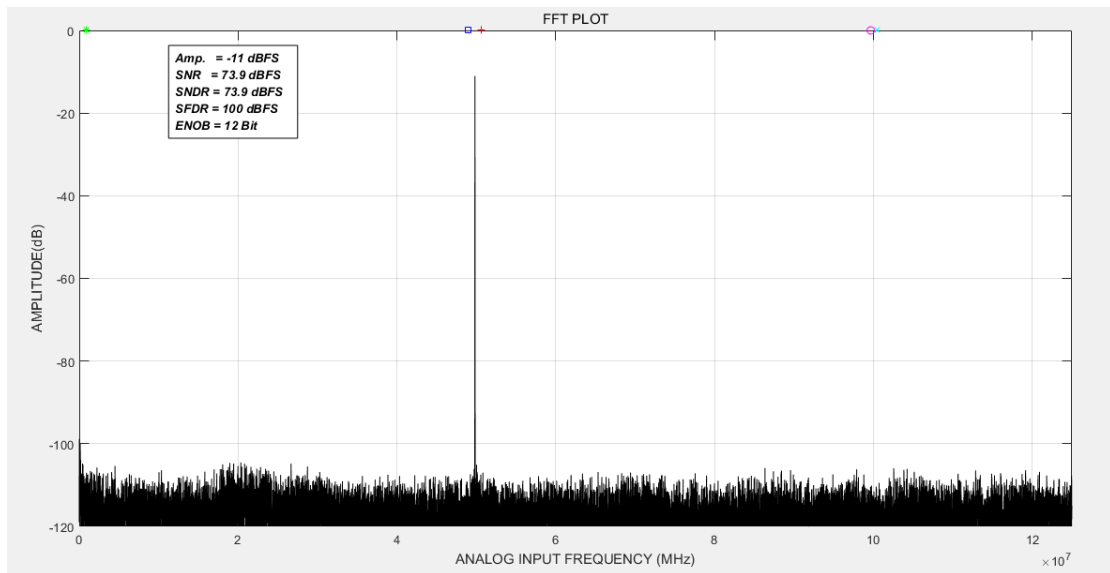


图 25 B_CHANNEL FIN=200M AMP=-11dbfs

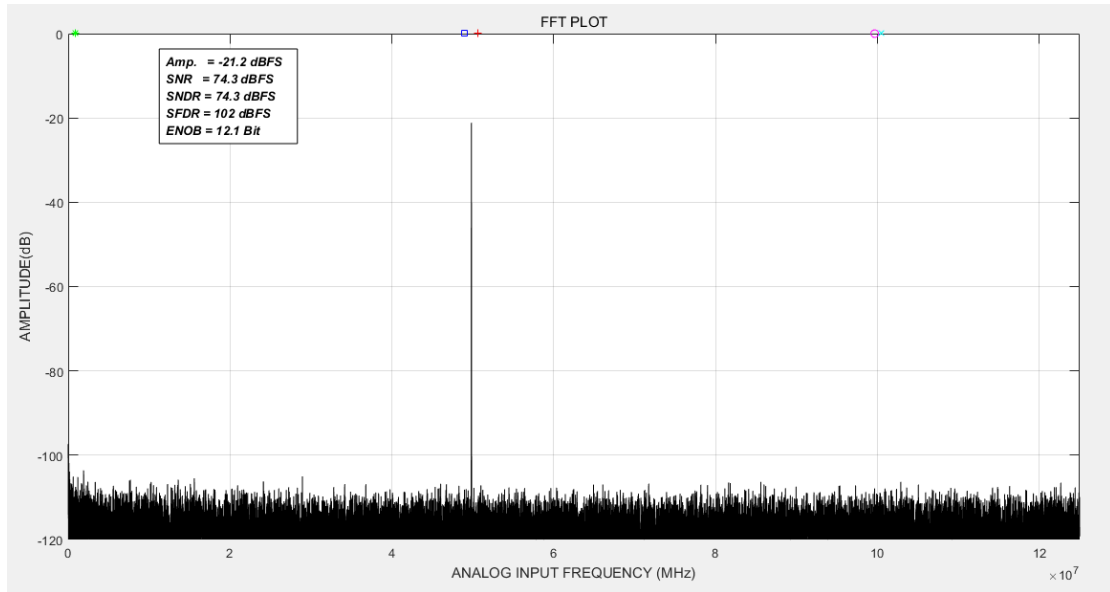


图 16 B_CHANNEL FIN=200M AMP=-21dbfs

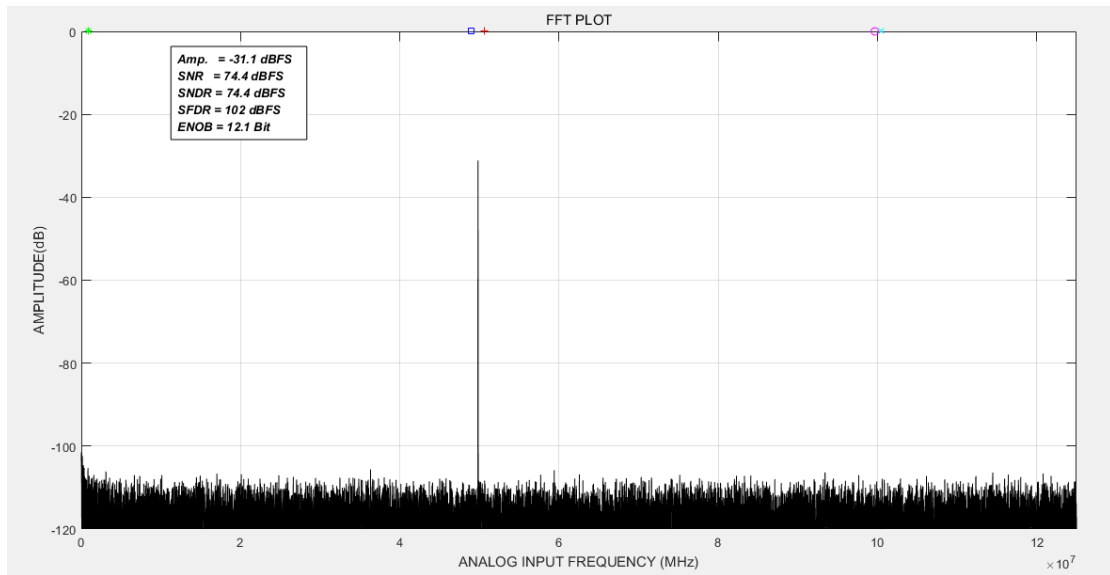
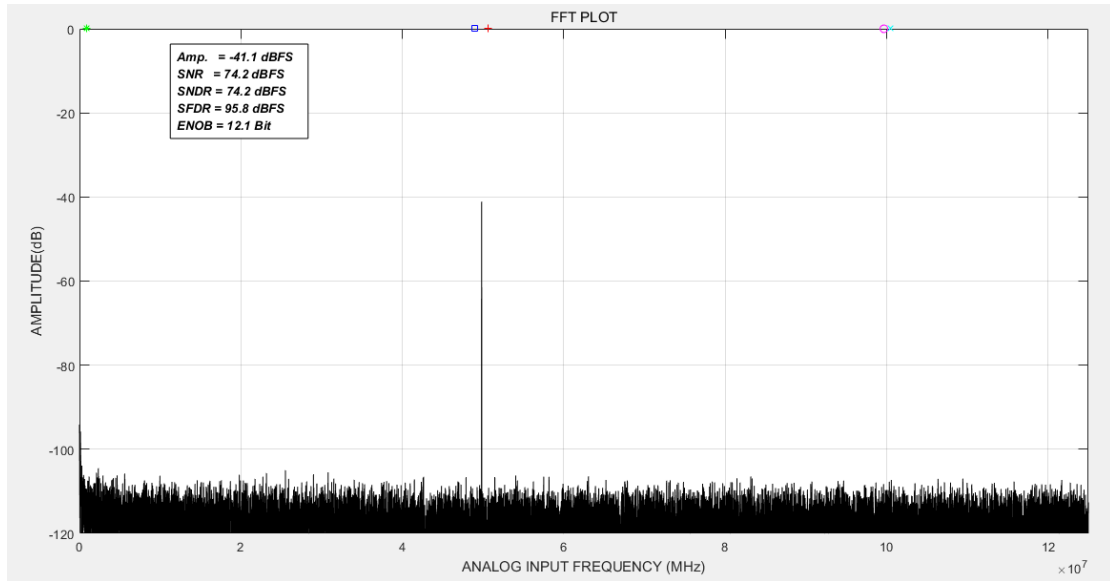


图 17 B_CHANNEL FIN=200M AMP=-31dbfs



18 B_CHANNEL FIN=200M AMP=-41dbfs