



YFC95066

数据手册

2024 年 8 月



目录

1	概述	7
1.1	YFC95066 特性	7
1.1.1	通道、位宽、采样率	7
1.1.2	输入	7
1.1.3	输出	7
1.1.4	工作温度	7
1.1.5	功耗	7
1.1.6	输出接口	7
1.1.7	同步性能	8
1.1.8	性能指标	8
2	结构框图	9
3	引脚	10
3.1.1	引脚图	10
3.1.2	引脚功能定义	10
4	电气特性	12
5	数字特性	15
6	交流特性	16
7	时序特性	17
8	性能特性	19
9	寄存器	20
9.1	YFC95066 寄存器映射	20
9.2	YFC95066 寄存器描述	21
9.2.1	通用寄存器(00h)	21
9.2.1.1	描述	21
9.2.2	ANALOG 寄存器 (100h)	23
9.2.2.1	描述	23
9.2.3	测试寄存器	26
9.2.3.1	描述	26
9.2.4	JESD_AB 寄存器 (40h , M=1 ' b1)	28
9.2.4.1	描述	28
9.2.5	JESD_CD 寄存器 (50h,M=1 ' b1)	31
9.2.5.1	描述	31
9.3	FOVR	35
10	配置接口	36
10.1	设备配置	36
10.2	接口描述	36
10.3	接口时序	36



10.3.1	写时序.....	36
10.3.2	读时序.....	37
11	JESD204B	38
11.1	JESD204B 初始通道对齐（ILA）	39
11.2	JESD204B 框架组件	39
11.3	JESD 输出开关.....	40
11.4	SERDES 传输器接口	40
11.5	SYNCR 接口	41
12	硬件复位说明.....	42
13	封装.....	43



表 1 YFC95066 图列表

	图名称	页码
1	图 1 YFC95066 结构框图	9
2	图 2 引脚图	10
3	图 3 时序特性	17
4	图 4 500MHz SPS, 451.3MHz 信号输入时的频谱图	19
5	图 5 FOVR 时序图	35
6	图 6 SPI 接口时序图	36
7	图 7 SPI 寄存器写时序图	37
8	图 8 SPI 寄存器读时序图	37
9	图 9 JESD 模块图	38
10	图 10 JESD 发射器图	38
11	图 11 ILA 序列	39
12	图 12 详细帧结构	40
13	图 13 通道输出开关	40
14	图 14 高速收发器发送端连接到接收端	41
15	图 15 硬件复位时序图	42
16	图 16 封装图	45



表 2 YFC95066 表列表

	表名称	页码
1	表 1 YFC95066 图列表	4
2	表 2 YFC95066 表列表	5
3	表 3 器件信息	7
4	表 4 引脚功能定义表	10
5	表 5 电气特性表	13
6	表 6 数字特性表	15
7	表 7 交流特性 (DDC)	16
8	表 8 时序特性表	18
9	表 9 YFC95066 寄存器映射表	20
10	表 10 偏移 0H 寄存器 (相对 00H)	22
11	表 11 偏移 0H 寄存器描述 (相对 00H)	22
12	表 12 偏移 1H 寄存器 (相对 00H)	22
13	表 13 偏移 1H 寄存器描述 (相对 00H)	22
14	表 14 偏移 2H, 3H 寄存器 (相对 00H)	23
15	表 15 偏移 2H, 3H 寄存器描述 (相对 00H)	23
16	表 16 偏移 4H 寄存器 (相对 00H)	23
17	表 17 偏移 4H 寄存器描述 (相对 00H)	23
18	表 18 偏移 0H 寄存器 (相对 100H)	24
19	表 19 偏移 0H 寄存器描述 (相对 100H)	24
20	表 20 偏移 5H 寄存器 (相对 100H)	24
21	表 21 偏移 5H 寄存器描述 (相对 100H)	24
22	表 22 偏移 CH 寄存器 (相对 100H)	24
23	表 23 偏移 CH 寄存器描述 (相对 100H)	25
24	表 24 偏移 DH 寄存器 (相对 100H)	25
25	表 25 偏移 DH 寄存器描述 (相对 100H)	25
26	表 26 偏移 EH 寄存器 (相对 100H)	25
27	表 27 偏移 EH 寄存器描述 (相对 100H)	25
28	表 28 偏移 FH 寄存器 (相对 100H)	26
29	表 29 偏移 FH 寄存器描述 (相对 100H)	26
30	表 30 偏移 10H, 11H 寄存器 (相对 100H)	26
31	表 31 偏移 10H, 11H 寄存器描述 (相对 100H)	26
32	表 32 偏移 0H 寄存器 (相对 300H)	26
33	表 33 偏移 0H 寄存器描述 (相对 300H)	27
34	表 34 偏移 1H 寄存器 (相对 300H)	27
35	表 35 偏移 1H 寄存器描述 (相对 300H)	27
36	表 36 偏移 3H, 4H 寄存器 (相对 300H)	27
37	表 37 偏移 3H, 4H 寄存器描述 (相对 300H)	28
38	表 38 偏移 0H 寄存器 (相对 40H)	28
39	表 39 偏移 0H 寄存器描述 (相对 40H)	28
40	表 40 偏移 1H 寄存器 (相对 40H)	28
41	表 41 偏移 1H 寄存器描述 (相对 40H)	28



42	表 42 偏移 5H 寄存器（相对 40H）	29
43	表 43 偏移 5H 寄存器描述（相对 40H）	29
44	表 44 偏移 6H 寄存器（相对 40H）	29
45	表 45 偏移 6H 寄存器描述（相对 40H）	29
46	表 46 偏移 8H 寄存器（相对 40H）	30
47	表 47 偏移 8H 寄存器描述（相对 40H）	30
48	表 48 偏移 9H 寄存器（相对 40H）	30
49	表 49 偏移 9H 寄存器描述（相对 40H）	30
50	表 50 偏移 0H 寄存器（相对 50H）	31
51	表 51 偏移 0H 寄存器描述（相对 50H）	31
52	表 52 偏移 1H 寄存器（相对 50H）	31
53	表 53 偏移 1H 寄存器描述（相对 50H）	31
54	表 54 偏移 5H 寄存器（相对 50H）	31
55	表 55 偏移 5H 寄存器描述（相对 50H）	32
56	表 56 偏移 6H 寄存器（相对 50H）	32
57	表 57 偏移 6H 寄存器描述（相对 50H）	32
58	表 58 偏移 8H 寄存器（相对 50H）	33
59	表 59 偏移 8H 寄存器描述（相对 50H）	33
60	表 60 偏移 9H 寄存器（相对 50H）	33
61	表 61 偏移 9H 寄存器描述（相对 50H）	33
62	表 62 SPI 接口描述	36
63	表 63 接口时序要求	36
64	表 64 JESD204B 格式及范围	39
65	表 65 硬件复位时序要求	42



1 概述

YFC95066 是一款低功耗、高带宽、14 位、500MSPS、四通道模数转换器。YFC95066 支持 JESD204B 串行接口，每个通道上具有 1 条信道，数据传输速率高达 10Gbps。经缓冲的模拟输入可在较宽频率范围内提供统一输入阻抗。

YFC95066 以超低功耗在宽输入频率范围内提供出色的无杂散动态范围 (SFDR)。支持高达 200MHz 的接收器带宽。YFC95066 含有高效的内部锁相环(PLL)。

表 3 器件信息

器件型号	封装	封装尺寸 (标称值)
YFC95066	VQFN(72)	10mm x 10mm

1.1 YFC95066 特性

1.1.1 通道、位宽、采样率

- 14 位数据位宽
- 4 通道
- 500MSPS

1.1.2 输入

- 带宽 (3db): 1.1G
- 具有高阻抗输入的模拟输入缓冲器
- 1.8V-vpp 差分输入
- 1.2V/2.5V/3.3V 电源供电

1.1.3 输出

- 4 通道同步输出 200M 复数带宽或 100M 实数带宽

1.1.4 工作温度

- -55℃ 到 125℃

1.1.5 功耗

- 每通道 600mW

1.1.6 输出接口



- JESD204B 接口，支持子类 1
- 每个 ADC 一条通道，速率最高 10GSPS
- 专用于通道的 SYNC 引脚

1.1.7 同步性能

- 支持多芯片同步

1.1.8 性能指标

- SNR = 64.4dBFS@350.3MHz, Encode = 500MSPS
- SFDR = 79.4dBFS@350.3MHz, Encode = 500MSPS



2 结构框图

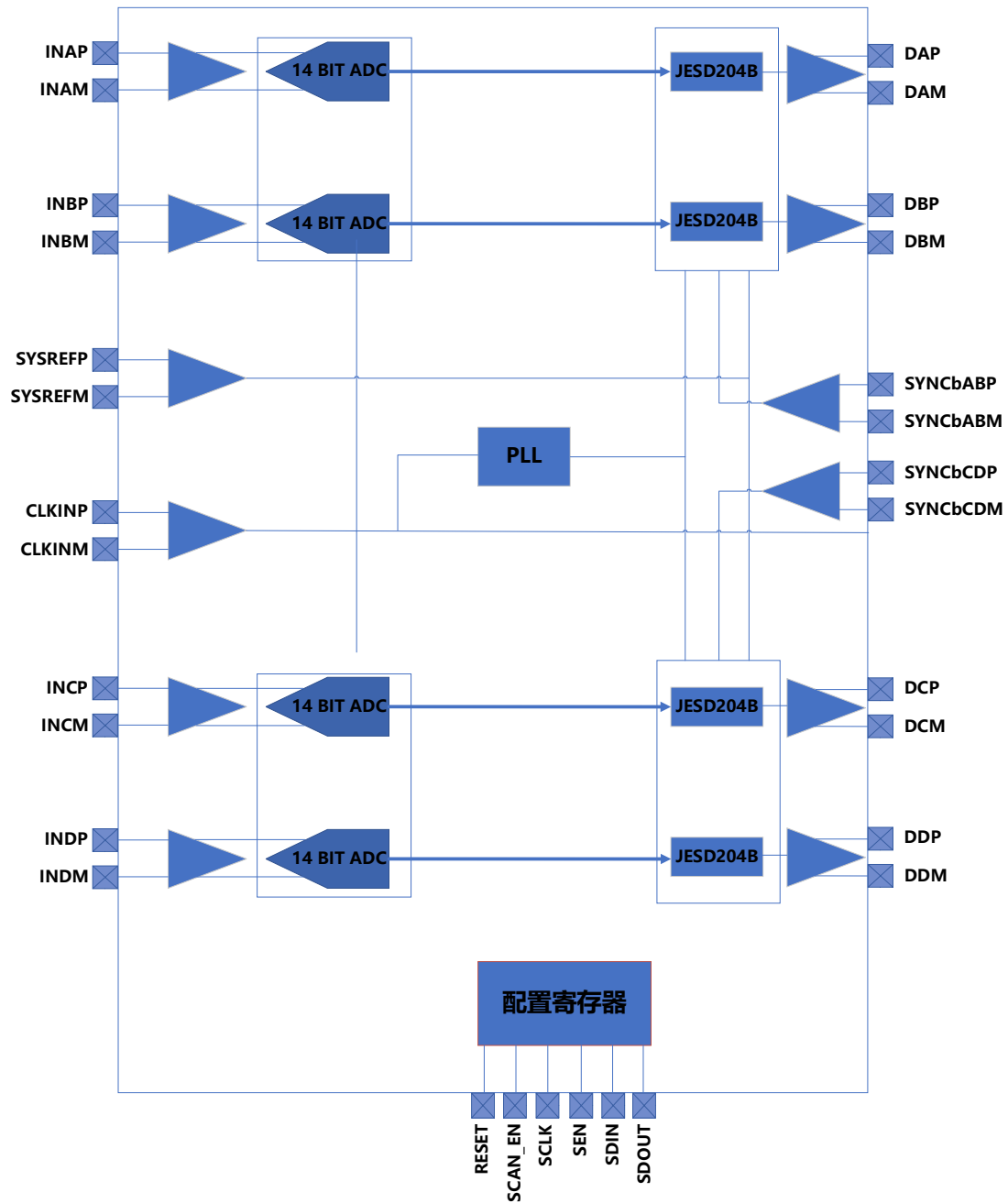


图 1 YFC95066 结构框图



3 引脚

3.1.1 引脚图

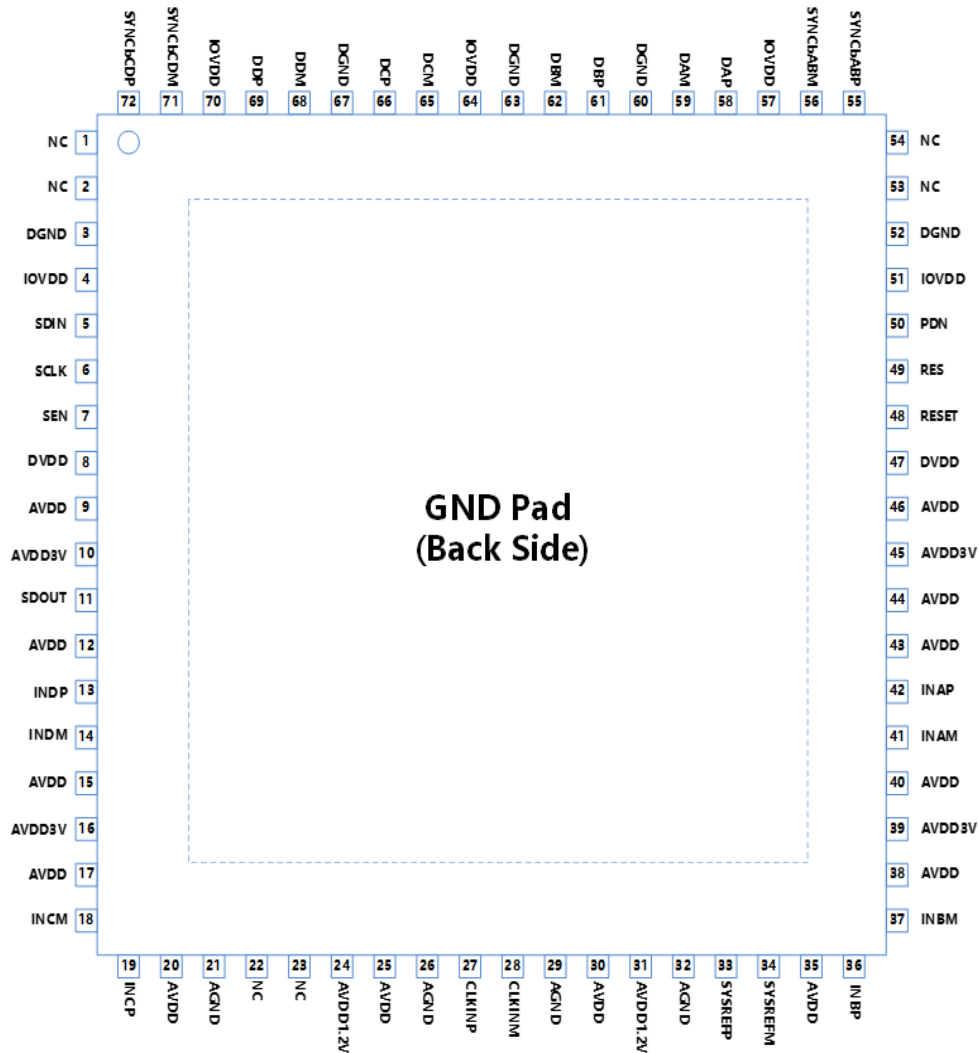


图 2 引脚图

3.1.2 引脚功能定义

表 4 引脚功能定义表

行号	PIN		I/O	描述
	NAME	NUMBER		
1.	INPUT,REFERENCE			
2.	INAM	41	I	通道 A 模拟差分输入
3.	INAP	42		
4.	INBM	37	I	通道 B 模拟差分输入



5.	INBP	36		
6.	INCM	18	I	通道 C 模拟差分输入
7.	INCP	19		
8.	INDM	14	I	通道 D 模拟差分输入
9.	INDP	13		
10.	CLOCK,SYNC			
11.	CLKINM	28	I	ADC 差分时钟输入
12.	CLKINP	27		
13.	SYSREFM	34	I	外同步输入
14.	SYSREFP	33		
15.	CONTROL,SERIAL			
16.	DAM	59	O	A 通道 JESD204B 串行数据输出
17.	DAP	58		
18.	DBM	62	O	B 通道 JESD204B 串行数据输出
19.	DBP	61		
20.	DCM	65	O	C 通道 JESD204B 串行数据输出
21.	DCP	66		
22.	DDM	68	O	D 通道 JESD204B 串行数据输出
23.	DDP	69		
24.	NC	1, 2, 22, 23, 53,54	—	不连接
25.	PDN	50	I/O	1kΩ 下拉接地
26.	RES	49	—	保留引脚.可接地
27.	RESET	48	I	硬件复位.高有效.引脚内部下拉 150 欧姆电阻
28.	SCLK	6	I	串口时钟输入
29.	SDIN	5	I	串口数据输入
30.	SDOUT	11	O	串口数据输出，驱动能力>1mA，不超过 2mA （建议连接 10K Ω 上拉电阻）
31.	SEN	7	I	串口使能
32.	SYNCbABM	56	I	JESD204B 通道 A,B 的同步输入.
33.	SYNCbABP	55		
34.	SYNCbCDM	71	I	JESD204B 通道 C,D 的同步输入.
35.	SYNCbCDP	72		
36.	POWER SUPPLY			
37.	AGND	21, 26, 29, 32	I	模拟地
38.	AVDD	9, 12, 15, 17,20, 25, 30, 35,38, 40, 43, 44,46	I	模拟 2.5V 电源
39.	AVDD3V	10, 16,39, 45	I	模拟 3.3V 电源
40.	AVDD1V2	24, 31	I	模拟 1.2V 电源
41.	DGND	3, 52, 60, 63, 67	I	数字地
42.	DVDD	8, 47	I	数字 1.2V 电源
43.	IOVDD	4, 51, 57, 64, 70	I	为 JESD204B 提供的数字 1.25V 电源



4 电气特性

典型值在 $T_A=25^{\circ}\text{C}$ ，温度范围在 $T_{\text{MIN}} = -55^{\circ}\text{C}$ 到 $T_{\text{MAX}} = 125^{\circ}\text{C}$ ，ADC 采样率为 500MSPS，时钟占空比 50%， $AVDD3V = 3.3V$, $AVDD = 2.5V$ ， $DVDD = 1.2V$, $IOVDD = 1.25V$, -1-dBFS 差分中频输入 $\leq 250\text{MHz}$ ，与-3-dBFS 差分中频输入 $> 250\text{MHz}$ 。



表 5 电气特性表

行号	参数	测试条件	MIN	TYP	MAX	单位
1.	综述					
1.	ADC 采样率				500	MSPS
2.	分辨率		14			Bits
3.	供电					
4.	AVDD3V 3.3-V 模拟供电		3	3.3	3.6	V
5.	AVDD 2.5-V 模拟供电		2.25	2.5	2.75	V
6.	DVDD 1.2-V 数字供电		1.1	1.2	1.3	V
7.	IOVDD 1.25-V 高速串口供电		1.2	1.25	1.35	V
8.	AVDD3V 3.3-V 模拟电流		0.14	0.16	0.17	A
9.	AVDD 2.5-V 模拟电流		0.62	0.63	0.73	A
10.	AVDD1V2 1.2-V 模拟电压		0.045	0.05	0.054	A
11.	DVDD 1.2-V 数字电流		0.13	0.15	1.1	A
12.	IOVDD 1.25-V 高速串口电流		0.24	0.26	0.3	A
13.	Pdis 整体功耗	2 抽取（模式 0, 4 通道），370-MHz, 在全部 4 个输入通道				W
		DDC 模式 8（不抽取），370-MHz, 在全部 4 个输入通道				
14.	全休眠功耗	在全部 4 个输入通道				mW
15.	模拟输入					
16.	差分输入电压			1.8		Vpp
17.	共模输入电压			1.9		V
18.	差分输入电阻			0.2		kΩ
19.	差分输入电容			3		pF
20.	模拟输入频宽（3dB）			1100		MHz
21.	隔离					
22.	相邻通道做防串扰隔离（通道 A,B 相邻，通道 C,D 相邻）	f _{IN} = 10.3MHz		103		dBfs
		f _{IN} = 101.3MHz		91		
		f _{IN} = 171.3MHz		87		
		f _{IN} = 257.3MHz		86		
		f _{IN} = 361.3MHz		87		
		f _{IN} = 451.3MHz		87		



23.	远距离通隔离（通道 A,B 与通道 C,D）	f _{IN} = 10.3MHz	103	dBfs
		f _{IN} = 101.3MHz	98	
		f _{IN} = 171.3MHz	93	
		f _{IN} = 257.3MHz	90	
		f _{IN} = 361.3MHz	82	
		f _{IN} = 451.3MHz	85	
24.	时钟输入			
25.	内部偏压时钟	CLKINP 与 CLKINM 引脚链接内部偏压 400Ω	1.2	V



5 数字特性

表 6 数字特性表

行号	参数	测试条件	MIN	TYP	MAX	单位
26.	数字输入 (RESET,SCLK,SEN,SDIN,PDN) ⁽¹⁾					
27.	V _{IH} 输入电压高电平	所有数字输入支持 2.5V 逻辑电平	1.7		3.6	V
28.	V _{IL} 输入电压低电平	所有数字输入支持 2.5V 逻辑电平	-0.3		0.7	V
29.	I _{IH} 高电平输入电流	SEN, RESET, SCLK, SDIN, PDN		20		uA
30.	I _{IL} 低电平输入电流	SEN, RESET, SCLK, SDIN, PDN		20		uA
31.	数字输入 (SYSREFP, SYSREFM, SYNCbABM, SYNCbABP, SYNCbCDM, SYNCbCDP)					
32.	V _D 差分输入电压		0.35	0.45	1.4	V
33.	V _(CM_DIG) 给 SYSREF 的共模电压			1.2		V
34.	数字输出 (SDOUT)					
35.	V _{OH} 输出电压高电平		1.7			V
36.	V _{OL} 输出电压低电平				0.7	V
37.	I _{OH} 高电平输出电流	V _{OH} (min)	0.9	1.1	1.15	mA
38.	I _{OL} 低电平输出电流	V _{OL} (max)	0.3	0.5	0.8	mA
39.	数字输出 (JESD204B Interface:DxP, DxM) ⁽²⁾					
40.	V _{OD} 差分输出电压	使用默认摆幅设置		700		mVpp
41.	V _{OC} 共模输出电压			450		mV
42.	发送短路电流	发送引脚应短接到-0.25V 到 1.45V 之间的电压上	-100		100	mA
43.	Z _{os} 单端输出阻抗			50		Ω
44.	输出电容	器件内部输出电容, 从任何一个输出到地		2		pF

(1) RESET, SCLK, SDIN, 和 PDN 引脚内接 53-kΩ (典型) 下拉到地, SEN 引脚用 52-kΩ (典型) 上拉电阻到 IOVDD

(2) 50-Ω, 单端端接到 IOVDD



6 交流特性

表 7 交流特性 (DDC)

行号	参数	测试条件	500-MSPS 输出			单位
			MIN	TYP	MAX	
1.	SNR 信噪比	$f_{IN} = 10.1\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		65.5		dBFS
		$f_{IN} = 170.3\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		65.3		
		$f_{IN} = 350.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		64.4		
		$f_{IN} = 450.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		64.0		
2.	NSD 噪声频谱密度	$f_{IN} = 10.1\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-149.4		dBFS/Hz
		$f_{IN} = 170.3\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-149.1		
		$f_{IN} = 350.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		-148.4		
		$f_{IN} = 450.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		-148.0		
3.	SINAD 信噪比和失真率	$f_{IN} = 10.1\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		64.4		dBFS
		$f_{IN} = 170.3\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		64.6		
		$f_{IN} = 350.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		64.2		
		$f_{IN} = 450.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		63.8		
4.	SFDR 无杂散动态范围	$f_{IN} = 10.1\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		72.1		dBFS
		$f_{IN} = 170.3\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		76.5		
		$f_{IN} = 350.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		79.4		
		$f_{IN} = 450.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		79.2		
5.	HD2 二阶谐波失真	$f_{IN} = 10.1\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-83.0		dBFS
		$f_{IN} = 170.3\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-81.2		
		$f_{IN} = 350.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		-83.2		
		$f_{IN} = 450.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		-85.7		
6.	HD3 三阶谐波失真	$f_{IN} = 10.1\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-72.1		dBFS
		$f_{IN} = 170.3\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-77.1		
		$f_{IN} = 350.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		-83.0		
		$f_{IN} = 450.3\text{MHz}$, $A_{IN} = -3\text{ dBFS}$		-84.6		



7 时序特性

典型值在 $T_A=25^{\circ}\text{C}$ ，温度范围在 $T_{\text{MIN}} = -55^{\circ}\text{C}$ 到 $T_{\text{MAX}} = 125^{\circ}\text{C}$ ，ADC 采样率为 500MSPS，时钟占空比 50%， $\text{AVDD3V} = 3\text{V}$ ， $\text{AVDD} = 2.5\text{V}$ ， $\text{AVDD1V2} = 1.2\text{V}$ ， $\text{DVDD} = 1.2\text{V}$ ， $\text{IOVDD} = 1.25\text{V}$ ，-1-dBfs 差分中频输入。

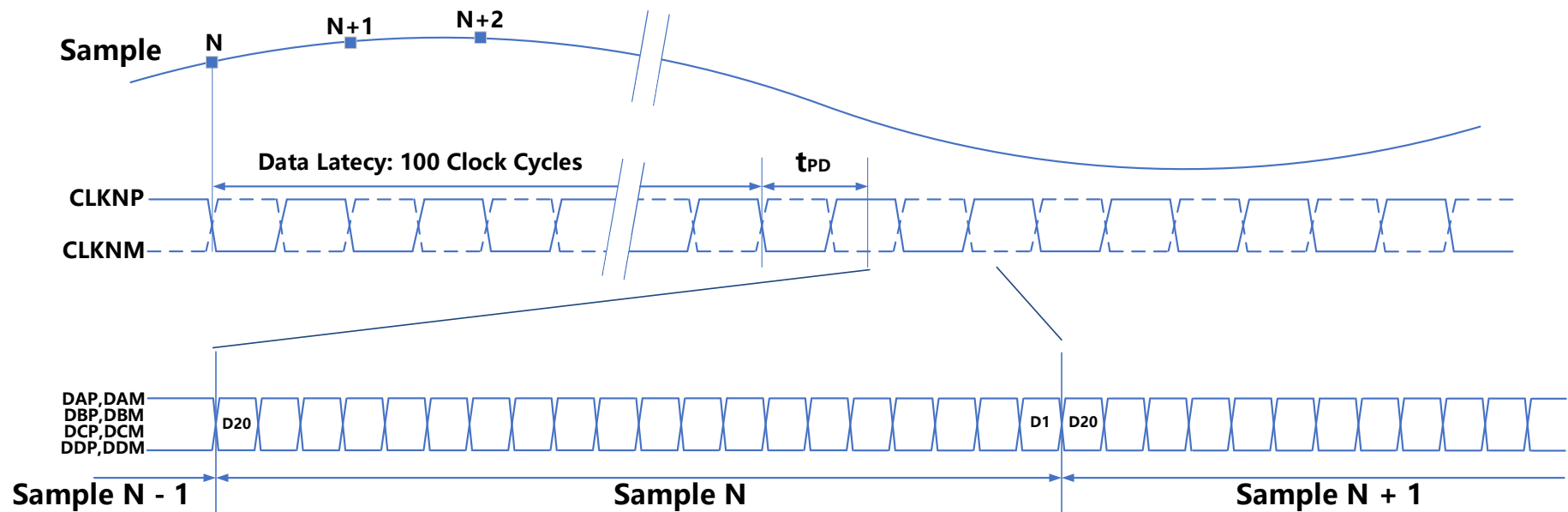


图 3 时序特性



表 8 时序特性表

行号		MIN	TYP	MAX	单位
1.	采样时序特性				
2.	掉电后唤醒到有效数据输出时间		150		us
3.	数据延时: ADC 采样到数字信号输出	107		121	输入时钟周期
4.	OVR 延时: ADC 采样到 OVR 比特		60		输入时钟周期
5.	t_{SU_SYSREF} SYSREF 相对于输入时钟上升沿的建立时间	300		900	ps
6.	t_{H_SYSREF} SYSREF 相对于输入时钟上升沿的保持时间	100			ps
7.	JESD 输出接口时序特性				
8.	内部间距	100		400	ps
9.	串口输出速率	2.5		10	Gbps
10.	BER of 1E-15 与 lane rate = 10Gbps 时总体抖动		26		ps
11.	BER of 1E-15 与 lane rate = 10Gbps 随机抖动		0.75		ps rms
12.	BER of 1E-15 与 lane rate = 10Gbps 确定抖动		12		ps, pk-pk
13.	t_R, t_F 80%, 数据上升, 下降时间: 上升下降时间从测量中得到值在 20%到 差分输出波形, 2.5Gbps≤bit rate ≤ 10Gbps		35		ps



8 性能特性

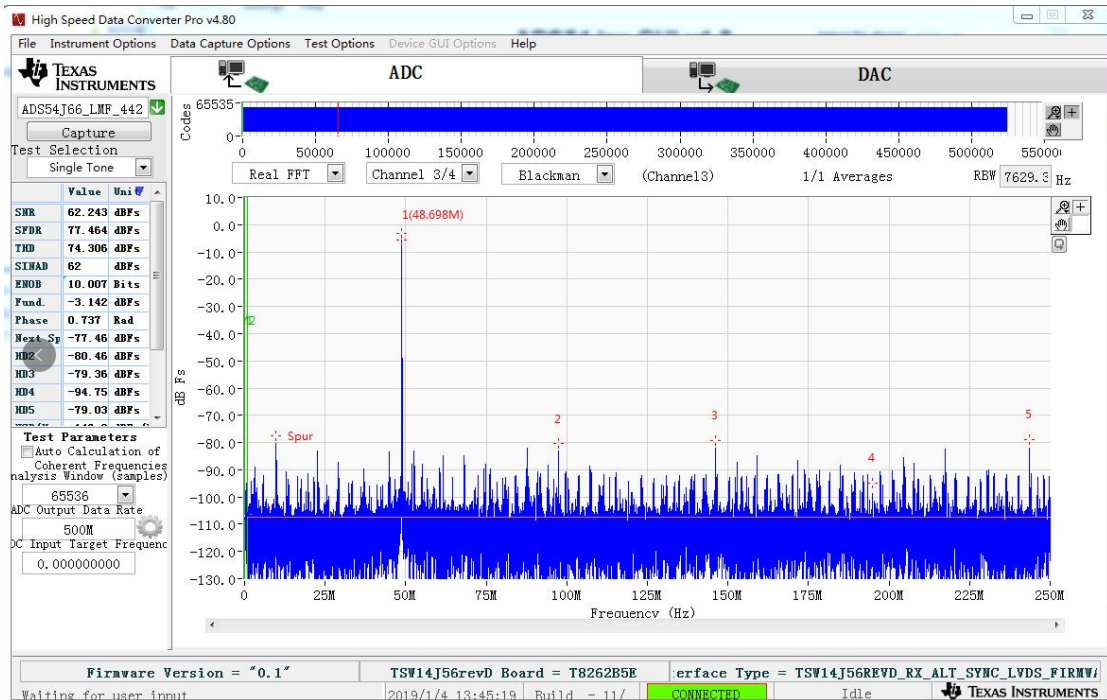


图 4 500MHz SPS, 450.3MHz 信号输入时的频谱图



9 寄存器

9.1 YFC95066 寄存器映射

表 9 YFC95066 寄存器映射表

行号	寄存器地址 A[11:0] (Hex)	寄存器数据							
		7	6	5	4	3	2	1	0
1	通用寄存器(00h)								
2.	0	RESET	RESET	0	0	CHD	CHC	CHB	CHA
3.	1	0	0	0	0	0	0	0	DIS_BROADCAST
4.	2	0	0	0	FOVR_limit[12:8]				
5.	3	FOVR_limit[7:0]							
6.	4	0	0	0	0	0	0	CONV_EN[1:0]	
7.	5	0	0	0	PDN[3:0]				
8.	ANALOG 寄存器 (100h)								
9.	0	0	0	0	0	0	BUF_BIAS_C[2:0]		
10.	5	PDN_analog[5:0]							
11.	C	VR_SEL[2:0]							
12.	D	MCLK_TOG SYSREF_TOG Calibration_Enable							
13.	E								
14.	F								
15.	10	ADC_Offset[7:0]							
16.	11	ADC_Offset[15:8]							
17.	DDC 寄存器 (300h)								
18.	0	TB_EN							
19.	1	TB_MODEL[3:0]							
20.	3	D_custom[13:6]							
21.	4	D_custom[5:0]							
22.	JESD_AB 寄存器 (40h, M=1'b1)								
23.	0	SYNC_SEL_AB	LANE_SWITCH_AB	ONE_LANE_MODE_AB	ILA_K_AB[4:0]				
24.	1	TEST_PATTERN_AB[1:0]		REPLACE_EN_AB	SCRAMBLE_EN_AB	LANE_POLARITY_AB[1:0]		SYNC_INV_AB	SYSREF_INV_AB
25.	2	RSVD0_AB[7:0]							
26.	3	RSVD1_AB[7:0]							



27.	4	RSVD_TX_A[7:0]							
28.	5	0	TX_SW_A[2:0]			TX_TSTSEL_A[1:0]		0	TX_PU_A
29.	6	TX_EMPH_A[3:0]				TX_TERM_A[3:0]			
30.	7	RSVD_TX_B[7:0]							
31.	8	0	TX_SW_B[2:0]			TX_TSTSEL_B[1:0]		0	TX_PU_B
32.	9	TX_EMPH_B[3:0]				TX_TERM_B[3:0]			
33.	JESD_CD 寄存器（50h, M=1'b1）								
34.	0	SYNC_SEL_CD	LANE_SWITCH_CD	ONE_LANE_MODE_CD	ILA_K_CD[4:0]				
35.	1	TEST_PATTERN_CD[1:0]		REPLACE_EN_CD	SCRAMBLE_EN_CD	LANE_POLARITY_CD[1:0]		SYNC_INV_CD	SYSREF_INV_CD
36.	2	RSVD0_CD[7:0]							
37.	3	RSVD1_CD[7:0]							
38.	4	RSVD_TX_C[7:0]							
39.	5	0	TX_SW_C[2:0]			TX_TSTSEL_C[1:0]		0	TX_PU_C
40.	6	TX_EMPH_C[3:0]				TX_TERM_C[3:0]			
41.	7	RSVD_TX_D[7:0]							
42.	8	0	TX_SW_D[2:0]			TX_TSTSEL_D[1:0]		0	TX_PU_D
43.	9	TX_EMPH_D[3:0]				TX_TERM_D[3:0]			
44.	PLL 寄存器（60h, M=1'b1）								
45.	0	RSVD[7:0]							
46.	1	0	0	0	0	0	0	0	SWAP_EN
47.	2	PFD_DLY_TRIM[1:0]		ANA_TEST[1:0]		VCO_BIAS_TRIM[1:0]		CK_TEST_EN	PD
48.	3	POST_DIV[1:0]		PRE_DIV[1:0]			LOOP_DIV[1:0]		LOCK_DET_EN
49.	4	ICP_TRIM[3:0]				VCO_BAND_SEL[1:0]		RES_LPF[1:0]	

9.2 YFC95066 寄存器描述

9.2.1 通用寄存器(00h)

9.2.1.1 描述

注：R/W 表示读/写，W 表示只写，-nh 表示 16 进制的默认值。



表 10 偏移 0h 寄存器（相对 00h）

7	6	5	4	3	2	1	0
RESET	RESET	0	0	RESETA	RESETB	RESETC	RESETD
W-0h	W-0h	/	/	W-0h	W-0h	W-0h	W-0h

表 11 偏移 0h 寄存器描述（相对 00h）

占用比特位	名字	属性	缺省值	描述	
7-6	RESET	W	0h	2'b00 表示正常操作 2'b11 表示 NCO 复位，清除返回 0	
5-4	/	R	0h	写 2'b0	
3	RESETD	W	0h	1'b0 表示正常操作 1'b1 表示通道 D 复位，清除返回 0	同时必须将 bit7-6 写入 2'b11
2	RESETC	W	0h	1'b0 表示正常操作 1'b1 表示通道 C 复位，清除返回 0	同时必须将 bit7-6 写入 2'b11
1	RESETB	W	0h	1'b0 表示正常操作 1'b1 表示通道 B 复位，清除返回 0	同时必须将 bit7-6 写入 2'b11
0	RESETA	W	0h	1'b0 表示正常操作 1'b1 表示通道 A 复位，清除返回 0	同时必须将 bit7-6 写入 2'b11

表 12 偏移 1h 寄存器（相对 00h）

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	DIS_BROADCAST
/	/	/	/	/	/	/	R/W-1h

表 13 偏移 1h 寄存器描述（相对 00h）

占用比特位	名字	属性	缺省值	描述
7-1	/	R	0h	7'h0
0	DIS_BROADCAST	R/W	1h	1'b0 表示正常操作，通道 A，B 被作为一对，通道 C，D 被作为一对，复数输入。 1'b1 表示通道 A，B，C，D 独立作为 4 个通道实数输入。



表 14 偏移 2h, 3h 寄存器（相对 00h）

偏移	7	6	5	4	3	2	1	0
2h	0	0	FOVR_limit[13:8]					
3h	FOVR_limit[7:0]							
	R/W-1C85							

表 15 偏移 2h, 3h 寄存器描述（相对 00h）

名字	属性	缺省值	描述
FOVR_limit	R/W	1C85h	门限值设置。

表 16 偏移 4h 寄存器（相对 00h）

7	6	5	4	3	2	1	0
0	0	0	0	0	0	CONV_EN[1:0]	
/	/	/	/	/	/	R/W-1h	

表 17 偏移 4h 寄存器描述（相对 00h）

占用比特位	名字	属性	缺省值	描述
7-2	/	R	0h	6'h0
1	CONV_EN_pkg	R/W	0h	1'b1: 将有符号数据转换成无符号数据输出（CONV_EN_conv 必须为 1'b1） 1'b0: 不做转换操作
0	CONV_EN_conv	R/W	1h	1'b1: 将无符号数据转换成有符号数据送入滤波器通路 1'b0: 不做转换

9.2.2 ANALOG 寄存器（100h）

9.2.2.1 描述



表 18 偏移 0h 寄存器（相对 100h）

7	6	5	4	3	2	1	0
0	0	0	0	0	BUF_BIAS_C		
/	/	/	/	/	R/W-5h		

表 19 偏移 0h 寄存器描述（相对 100h）

占用比特位	名字	属性	缺省值	描述
7-3	/	R	0h	
2-0	BUF_BIAS_C	R/W	5h	设置输入 BUFFER 带宽 3'b000 功耗最大，输入带宽也最大，可以对应 1.5GHz 输入频率范围。 3'b111 功耗最小，输入带宽也最小，如果输入频率范围在 500MHz 以内，可以选择最小带宽。

表 20 偏移 5h 寄存器（相对 100h）

7	6	5	4	3	2	1	0
0	0	PDN_analog					
/	/	R/W-0h					

表 21 偏移 5h 寄存器描述（相对 100h）

占用比特位	名字	属性	缺省值	描述
7-6	/	R	0h	
5-0	PDN_analog	R/W	0h	设置模拟部分 pwer_down，默认值处于全部使能状态 PD<5>: 关断时钟 模块和 sysref 模块。 PD<4:1>: 关断 ADC 四个通道；bit1: A 通道，bit2: B 通道，bit3: C 通道，bit4: D 通道。 PD<0>: 关断参考电流和电压模块。

表 22 偏移 Ch 寄存器（相对 100h）

7	6	5	4	3	2	1	0
0	0	0	0	0	VR_SEL		
/	/	/	/	/	R/W-2h		



表 23 偏移 Ch 寄存器描述（相对 100h）

占用比特位	名字	属性	缺省值	描述
7-2	/	R	0h	
2-0	VR_SEL	R/W	2h	设置输入信号摆幅 3'b100: vpp = 2V 3'b010: vpp = 1.8V 3'b001: vpp = 1.6V

表 24 偏移 Dh 寄存器（相对 100h）

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	MCLK_TOG
/	/	/	/	/	/	/	R/W-0h

表 25 偏移 Dh 寄存器描述（相对 100h）

占用比特位	名字	属性	缺省值	描述
7-1	/	R	0h	
0	MCLK_TOG	R	0h	CKI 主时钟 500MHz 相位控制

表 26 偏移 Eh 寄存器（相对 100h）

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SYSREF_TOG
/	/	/	/	/	/	/	R/W-0h

表 27 偏移 Eh 寄存器描述（相对 100h）

占用比特位	名字	属性	缺省值	描述
7-1	/	R	0h	
0	SYSREF_TOG	R/W	0h	SYSREF 相位控制。1'b1 反转 SYSREF



表 28 偏移 Fh 寄存器（相对 100h）

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	Calibration_Enable
/	/	/	/	/	/	/	R/W-0h

表 29 偏移 Fh 寄存器描述（相对 100h）

占用比特位	名字	属性	缺省值	描述
7-1	/	R	0h	
0	Calibration_Enable	R/W	0h	校准参数使能。1'b1 使能校准参数计算

表 30 偏移 10h, 11h 寄存器（相对 100h）

偏移	7	6	5	4	3	2	1	0
10h	ADC_Offset[7:0]							
11h	ADC_Offset[15:8]							
	R/W-0800h							

表 31 偏移 10h, 11h 寄存器描述（相对 100h）

名字	属性	缺省值	描述
ADC_Offset[7:0]	R/W	0h	四 ADC 通道无符号输入恒定偏移量（内部 ADC 采集数据减掉次数）
ADC_Offset[15:8]	R/W	8h	

9.2.3 测试寄存器

9.2.3.1 描述

表 32 偏移 0h 寄存器（相对 300h）

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TB_EN



/	/	/	/	/	/	/	R/W-0h
---	---	---	---	---	---	---	--------

表 33 偏移 0h 寄存器描述（相对 300h）

占用比特位	名字	属性	缺省值	描述
7-1	/	R	0h	
0	TB_EN	R/W	0h	ADC 数据切换测试序列使能。1'b1 将 ADC 输出数据切换成测试序列

表 34 偏移 1h 寄存器（相对 300h）

7	6	5	4	3	2	1	0
0	0	0	0	TB_MODEL			
/	/	/	/	R/W-0h			

表 35 偏移 1h 寄存器描述（相对 300h）

占用比特位	名字	属性	缺省值	描述
7-4	/	R	0h	
3-0	TB_MODEL	R/W	0h	4'h0:测试序列为 3192~13192 步长等于 1 的三角波 4'h1:测试序列为 3192~13192 步长等于 1 的锯齿波 4'h2:测试序列为 0~16383 步长等于 1 的锯齿波 4'h3:测试序列为常数 14'h1555 4'h4:测试序列为常数 14'h2AAA 4'h5:测试序列为常数 14'h3FFF 4'h7:测试序列为常数，数值为 0303h，0304h 寄存器配置数值 4'h9:测试序列为常数 14'h0000

表 36 偏移 3h，4h 寄存器（相对 300h）

偏移	7	6	5	4	3	2	1	0
2h	D_custom[13:6]							
3h	/	/	D_custom[5:0]					
	R/W-0h							



表 37 偏移 3h, 4h 寄存器描述（相对 300h）

名字	属性	缺省值	描述
D_custom	R/W	0h	寄存器 0301h 写入 07h 时输出的测试数值，同时寄存器 0300 必须已经写入 1'b1

9.2.4 JESD_AB 寄存器（40h，M=1'b1）

9.2.4.1 描述

表 38 偏移 0h 寄存器（相对 40h）

7	6	5	4	3	2	1	0
SYNC_SEL_AB	LANE_SWITCH_AB	ONE_LANE_MODE_AB	ILA_K_AB				

表 39 偏移 0h 寄存器描述（相对 40h）

占用比特位	名字	属性	缺省值	描述
7	SYNC_SEL_AB	R/W	0h	选择 AB 通道 SYNC 信号输入源（1'b0→AB; 1'b1→CD）
6	LANE_SWITCH_AB	R/W	0h	交换 AB 通道 LANE0 与 LANE1 管脚
5	ONE_LANE_MODE_AB	R/W	0h	AB 通道使用 1Lane 模式（关闭一条 TX LANE）
4-0	ILA_K[4:0]_AB	R/W	fh	AB 通道 JESD 复帧长度

表 40 偏移 1h 寄存器（相对 40h）

7	6	5	4	3	2	1	0
TEST_PATTERN_AB		REPLACE_EN_AB	SCRAMBLE_EN_AB	LANE_POLARITY_AB		SYNC_INV_AB	SYSREF_INV_AB

表 41 偏移 1h 寄存器描述（相对 40h）

占用比特位	名字	属性	缺省值	描述
7-6	TEST_PATTERN_AB	R/W	0h	AB 通道测试模式选择 0: 正常功能 1: RAMP 三角波数据 2: 0xAA 3: PRBS15
5	REPLACE_EN_AB	R/W	1h	AB 通道 Frame 与 multi frame 结束字符替换为同步字符
4	SCRAMBLE_EN_AB	R/W	0h	AB 通道使能 JESD SCRAMBLE 模式
3-2	LANE_POLARITY_AB	R/W	0h	AB 通道翻转 Tx Lane 极性（TXP TXN 互换）



1	SYNC_INV_AB	R/W	0h	AB 通道翻转 SYNC 信号极性
0	SYSREF_INV_AB	R/W	0h	AB 通道翻转 SYSREF 信号极性

表 42 偏移 5h 寄存器（相对 40h）

7	6	5	4	3	2	1	0
0	TX_SW_A			TX_TSTSEL_A		0	TX_PU_A

表 43 偏移 5h 寄存器描述（相对 40h）

占用比特位	名字	属性	缺省值	描述
7	/	W	0h	
6-4	TX_SW_A	R/W	3h	A 通道摆幅控制 0=678mV; 1=706mV; 2=738mV; 3=773mV; 4=814mV; 5=860mV; 6=919mV; 7=986mV;
3-2	TX_TSTSEL_A	R/W	0h	A 通道测试选择信号
0	TX_PU_A	R/W	1h	A 通道 TX 使能信号（1'b0→关闭; 1'b1→使能）

表 44 偏移 6h 寄存器（相对 40h）

7	6	5	4	3	2	1	0
TX_EMPH_A				TX_TERM_A			

表 45 偏移 6h 寄存器描述（相对 40h）

占用比特位	名字	属性	缺省值	描述
7-4	TX_EMPH_A	R/W	0h	A 通道预加重控制 0=0dB; 1=-1.6dB; 2=-2.8dB; 3=-3.7dB; 4=-4.6dB; 5=-5.4dB; 6=-6.4dB; 7=-7.2dB; 8=-7.7dB; 9=-8.8dB; 10=-9.6dB; 11=-10.6dB; 12=-11.5dB; 13=-12.3dB;



				14=-13.4dB; 15=-14.6dB;
3-0	TX_TERM_A	R/W	8h	A 通道输出阻抗调节

表 46 偏移 8h 寄存器（相对 40h）

7	6	5	4	3	2	1	0
0	TX_SW_B			TX_TSTSEL_B		0	TX_PU_B

表 47 偏移 8h 寄存器描述（相对 40h）

占用比特位	名字	属性	缺省值	描述
7	/	W	0h	
6-4	TX_SW_B	R/W	3h	B 通道摆幅控制 0=678mV; 1=706mV; 2=738mV; 3=773mV; 4=814mV; 5=860mV; 6=919mV; 7=986mV;
3-2	TX_TSTSEL_B	R/W	0h	B 通道测试选择信号
0	TX_PU_B	R/W	1h	B 通道 TX 使能信号（1'b0→关闭; 1'b1→使能）

表 48 偏移 9h 寄存器（相对 40h）

7	6	5	4	3	2	1	0
TX_EMPH_B				TX_TERM_B			

表 49 偏移 9h 寄存器描述（相对 40h）

占用比特位	名字	属性	缺省值	描述
7-4	TX_EMPH_B	R/W	0h	B 通道预加重控制 0=0dB; 1=-1.6dB; 2=-2.8dB; 3=-3.7dB; 4=-4.6dB; 5=-5.4dB; 6=-6.4dB; 7=-7.2dB; 8=-7.7dB; 9=-8.8dB; 10=-9.6dB; 11=-10.6dB; 12=-11.5dB; 13=-12.3dB;



				14=-13.4dB; 15=-14.6dB;
3-0	TX_TERM_B	R/W	8h	B 通道输出阻抗调节

9.2.5 JESD_CD 寄存器（50h,M=1'b1）

9.2.5.1 描述

表 50 偏移 0h 寄存器（相对 50h）

7	6	5	4	3	2	1	0
SYNC_SEL_CD	LANE_SWITCH_CD	ONE_LANE_MODE_CD	ILA_K_CD				

表 51 偏移 0h 寄存器描述（相对 50h）

占用比特位	名字	属性	缺省值	描述
7	SYNC_SEL_CD	R/W	0h	选择 CD 通道 SYNC 信号输入源（1'b1→AB; 1'b0→CD）
6	LANE_SWITCH_CD	R/W	0h	交换 CD 通道 LANE0 与 LANE1 管脚
5	ONE_LANE_MODE_CD	R/W	0h	CD 通道使用 1Lane 模式（关闭一条 TX LANE）
4-0	ILA_K[4:0]_CD	R/W	fh	CD 通道 JESD 复帧长度

表 52 偏移 1h 寄存器（相对 50h）

7	6	5	4	3	2	1	0
TEST_PATTERN_CD		REPLACE_EN_CD	SCRAMBLE_EN_CD	LANE_POLARITY_CD		SYNC_INV_CD	SYSREF_INV_CD

表 53 偏移 1h 寄存器描述（相对 50h）

占用比特位	名字	属性	缺省值	描述
7-6	TEST_PATTERN_CD	R/W	0h	AB 通道测试模式选择 0: 正常功能 1: RAMP 三角波数据 2: 0xAA 3: PRBS15
5	REPLACE_EN_CD	R/W	1h	CD 通道 Frame 与 multi frame 结束字符替换为同步字符
4	SCRAMBLE_EN_CD	R/W	0h	CD 通道使能 JESD SCRAMBLE 模式
3-2	LANE_POLARITY_CD	R/W	0h	CD 通道翻转 Tx Lane 极性（TXP TXN 互换）
1	SYNC_INV_CD	R/W	0h	CD 通道翻转 SYNC 信号极性



0	SYSREF_INV_CD	R/W	0h	CD 通道翻转 SYSREF 信号极性
---	---------------	-----	----	---------------------

表 54 偏移 5h 寄存器（相对 50h）

7	6	5	4	3	2	1	0
0	TX_SW_C			TX_TSTSEL_C		0	TX_PU_C

表 55 偏移 5h 寄存器描述（相对 50h）

占用比特位	名字	属性	缺省值	描述
7	/	W	0h	
6-4	TX_SW_C	R/W	3h	C 通道摆幅控制 0=678mV; 1=706mV; 2=738mV; 3=773mV; 4=814mV; 5=860mV; 6=919mV; 7=986mV;
3-2	TX_TSTSEL_C	R/W	0h	C 通道测试选择信号
0	TX_PU_C	R/W	1h	C 通道 TX 使能信号（1'b0→关闭; 1'b1→使能）

表 56 偏移 6h 寄存器（相对 50h）

7	6	5	4	3	2	1	0
TX_EMPH_C				TX_TERM_C			

表 57 偏移 6h 寄存器描述（相对 50h）

占用比特位	名字	属性	缺省值	描述
7-4	TX_EMPH_C	R/W	0h	C 通道预加重控制 0=0dB; 1=-1.6dB; 2=-2.8dB; 3=-3.7dB; 4=-4.6dB; 5=-5.4dB; 6=-6.4dB; 7=-7.2dB; 8=-7.7dB; 9=-8.8dB; 10=-9.6dB; 11=-10.6dB; 12=-11.5dB; 13=-12.3dB; 14=-13.4dB; 15=-14.6dB;



3-0	TX_TERM_C	R/W	8h	C 通道输出阻抗调节
-----	-----------	-----	----	------------

表 58 偏移 8h 寄存器（相对 50h）

7	6	5	4	3	2	1	0
0	TX_SW_D			TX_TSTSEL_D		0	TX_PU_D

表 59 偏移 8h 寄存器描述（相对 50h）

占用比特位	名字	属性	缺省值	描述
7	/	W	0h	
6-4	TX_SW_D	R/W	3h	D 通道摆幅控制 0=678mV; 1=706mV; 2=738mV; 3=773mV; 4=814mV; 5=860mV; 6=919mV; 7=986mV;
3-2	TX_TSTSEL_D	R/W	0h	D 通道测试选择信号
0	TX_PU_D	R/W	1h	D 通道 TX 使能信号（1'b0→关闭; 1'b1→使能）

表 60 偏移 9h 寄存器（相对 50h）

7	6	5	4	3	2	1	0
TX_EMPH_D				TX_TERM_D			

表 61 偏移 9h 寄存器描述（相对 50h）

占用比特位	名字	属性	缺省值	描述
7-4	TX_EMPH_D	R/W	0h	D 通道预加重控制 0=0dB; 1=-1.6dB; 2=-2.8dB; 3=-3.7dB; 4=-4.6dB; 5=-5.4dB; 6=-6.4dB; 7=-7.2dB; 8=-7.7dB; 9=-8.8dB; 10=-9.6dB; 11=-10.6dB; 12=-11.5dB; 13=-12.3dB; 14=-13.4dB; 15=-14.6dB;



3-0	TX_TERM_D	R/W	8h	D 通道输出阻抗调节
-----	-----------	-----	----	------------



9.3 FOVR

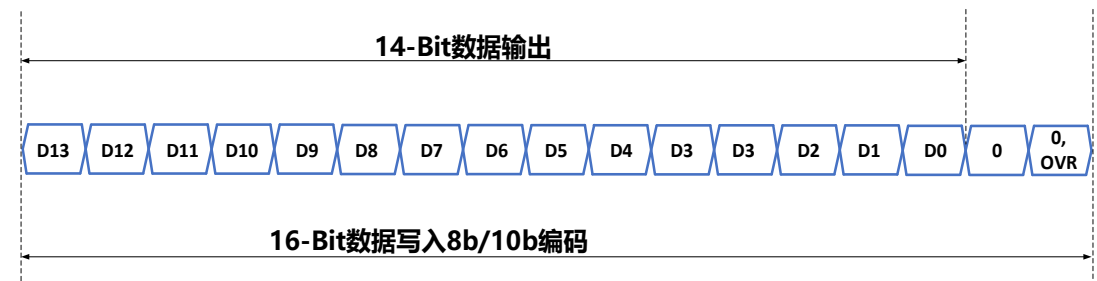


图 5 FOVR 时序图



10 配置接口

10.1 设备配置

YFC95066 采用 SPI 作为配置接口，支持 15 位地址 8 位数据的 SPI 配置操作。

10.2 接口描述

ADC 通过 SPI 配置接口对内部寄存器进行配置，接口由 SEN，SCLK、SDIN 和 SDOUT 引脚组成。当 SEN 为低时，数据连续移位写入设备。在 SDIN 上的连续数据在每一个 SCLK 的上升沿锁存（SEN 为低时）。接口可以在 SCLK 从 5MHz 到一个非常低的频率下低频使用。并且支持非 50% 占空比。

表 62 SPI 接口描述

SPI 比特	描述	操作值
R/W	读/写 位	1'b0 → SPI 写操作 1'b1 → SPI 读操作
M	SPI BANK 选通	1'b0 → 配置 DDC 及 ADC 寄存器 1'b1 → 配置 JESD204B 寄存器
ADDR[13:0]	SPI 地址	/
DATA[7:0]	SPI 数据	/

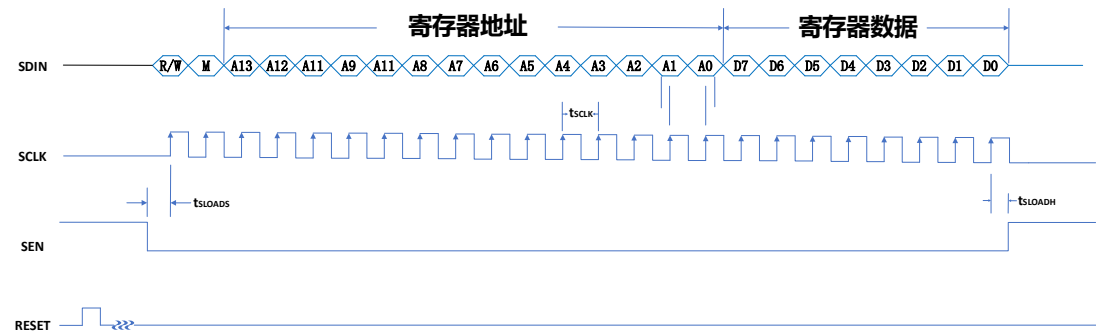


图 6 SPI 接口时序图

表 63 接口时序要求

名称	定义	最小	最大	单位
f _{SCLK}	SCLK 频率(等于 1 / t _{SCLK})	>dc	20	MHz
t _{LOADS}	SEN 到 SCLK 建立时间	25		ns
t _{LOADH}	SCLK 到 SEN 保持时间	t _{SCLK}		ns
t _{DSU}	SDATA 建立时间	25		ns
t _{DH}	SDATA 保持时间	25		ns

10.3 接口时序

10.3.1 写时序

SPI 分为两个 BANK（ADC/DDC 和 JESD204B）。内部寄存器通过 SPI 的操作如下：

1. 拉低 SEN 引脚。
2. 发起一个串行序列循环，指定必须写入内容的寄存器的页面地址。



- ADC/DDC 页：将 M 位写为 1'b0。
 - JESD204B 页：将 M 位写为 1'b1。
3. 编写寄存器内容，如图 7 所示。当一个页面被选中时，多次写入会写入相同的页面。

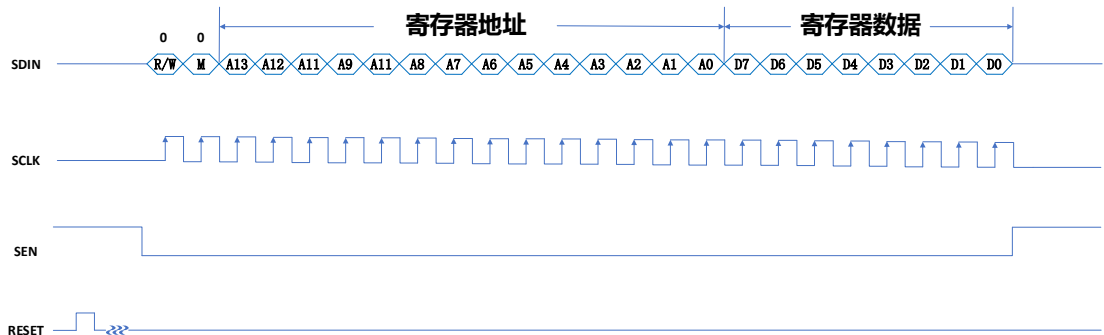


图 7 SPI 寄存器写时序图

10.3.2 读时序

从两个 BANK 中读回内容需进行如下操作：

1. 拉低 SEN 引脚。
2. 选择要读取内容的寄存器页地址。
 - ADC/DDC 页：将 M 位写为 1'b0。
 - JESD204B 页：将 M 位写为 1'b1。
3. 将 R/W 比特设置为 1'b1 并写入需要读返回数据的地址。
4. 读数据从 SDOUT 引脚返回，如图 8 所示。当一个页面被选中时，多次读返回操作将在相同的页面下完成。

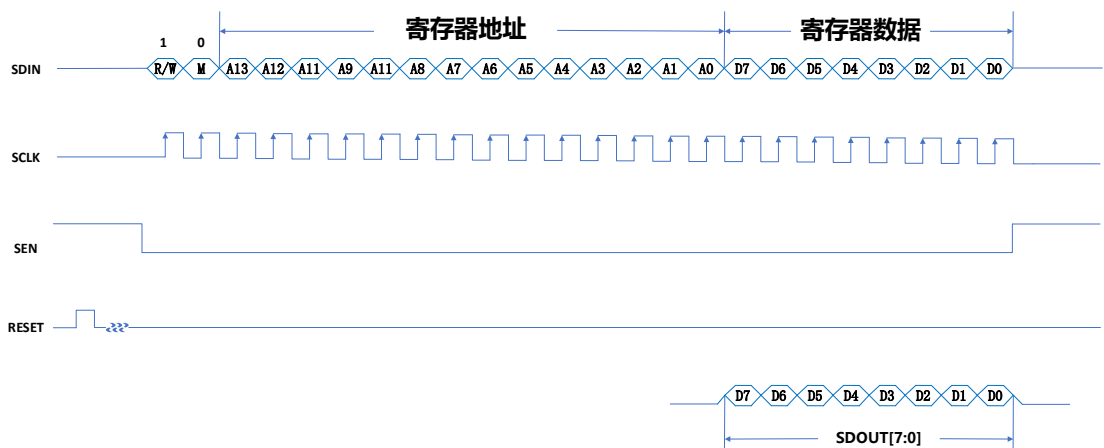


图 8 SPI 寄存器读时序图



11 JESD204B

该 YFC95066 支持 JESD204B 设备子类 1，每一个串行发射机最大输出数据速率为 10 Gbps。如图 9 显示了在 YFC95066 内部的 JESD204B 模块图

外部 SYSREF 信号用于将所有内部时钟相位和本地多帧时钟对齐到特定的采样时钟边缘。该过程允许系统中多个设备的同步，并最小化时序和对准的不确定性。YFC95066 支持单一（对于所有四个 JESD 链路）或双（用于信道 A、B 和 C、D）SYNCb 输入，并且可以通过 SPI 配置，如图 10 所示。

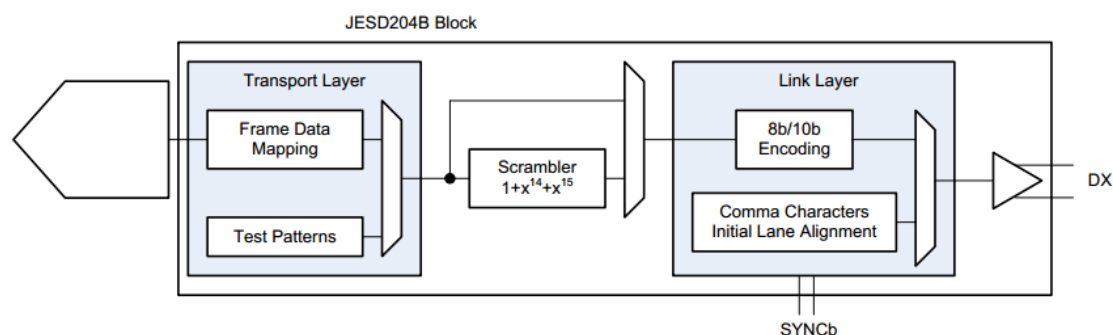


图 9 JESD 模块图

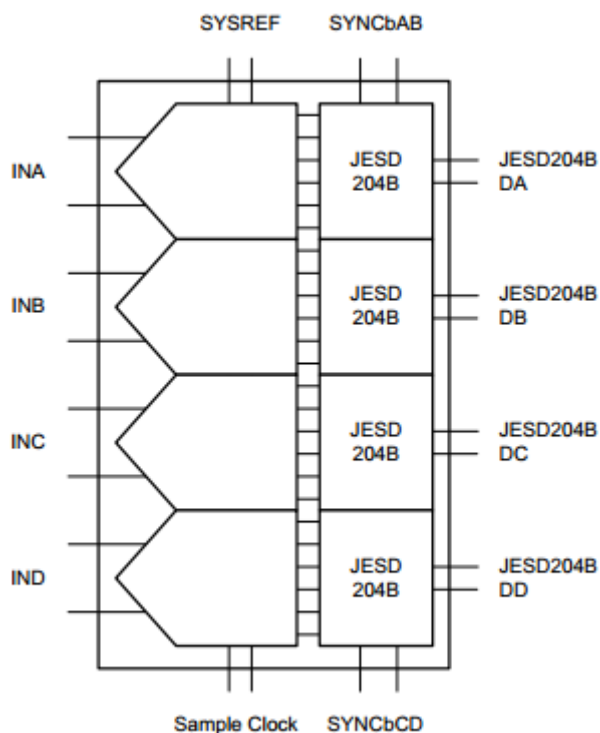


图 10 JESD 发射器图

根据 ADC 采样速率，JESD204B 输出接口可以以每通道一个通道(LANE)操作。通过 SPI 接口来处理 JESD204B 的初始化以及帧装配参数的设置和配置



JESD204B 发射机块由传输层、数据扰码器和链路层组成。传输层将 ADC 输出数据映射到所选择的 JESD204B 帧数据格式，并选择 ADC 输出数据或测试模式是否被传输。链路层使用 SYNC 同步输入信号执行 8B/10B 数据编码以及同步和初始通道对准。可以对来自传输层的数据进行扰码。

11.1 JESD204B 初始通道对齐 (ILA)

初始通道对齐过程是由接收设备通过拉高 SYNCb 开始的。当检测到 SYNC 引脚上的逻辑低时，YFC95066 开始发送逗号 (K28.5) 字符以建立代码组同步，如图 11 所示。

当同步完成时，接收设备重新拉低 SYNCb 信号，并且 YFC95066 开始与下一个本地多帧时钟边界的初始通道对齐序列。YFC95066 传输四个多帧，每个帧包含 K 帧 (K 是 SPI 可编的)。每个多帧包含帧起始和结束标识符号，第二个多帧还包含 JESD204 链路配置数据

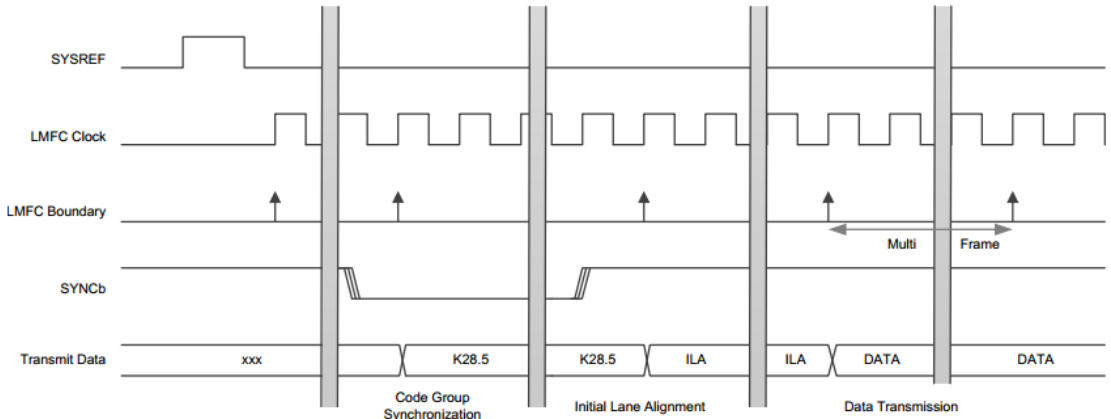


图 11 ILA 序列

11.2 JESD204B 框架组件

JESD204B 标准定义了以下参数

- L 是每个链路的通道数
- M 是每个设备的转换器数量
- F 是每个帧时钟周期的八位字节个数
- S 是每帧的样本数
- 表 72 列出了可用的 JESD204B 格式，受到 Serdes 速率和最大模数转换器采样频率限制

表 64 JESD204B 格式及范围

L	M	F	S	OPERATING MODE	DIGITAL MODE	OUTPUT FORMAT	JESD MODE	JESD PLL MODE	MAX ADC OUTPUT RATE(MSPS)	MAX f _{SERDES} (Gbps)
4	4	2	1	透传	不抽取	实数	20x	40x	500	10.0



详细的帧结构如图 12 所示：

LMFS=4421				
DA	A0[15:8]	A0[7:0]	A1[15:8]	A1[7:0]
DB	B0[15:8]	B0[7:0]	B1[15:8]	B1[7:0]
DC	C0[15:8]	C0[7:0]	C1[15:8]	C1[7:0]
DD	D0[15:8]	D0[7:0]	D1[15:8]	D1[7:0]

图 12 详细帧结构

11.3 JESD 输出开关

YFC95066 在 JESD204B 块中提供了一个数字交叉点开关，它提供内部走线将在一个信道两个 ADC 输出到任意两个 JESD204B 串行发射器中，以便于消除版图布局约束。可通过 SPI 配置。

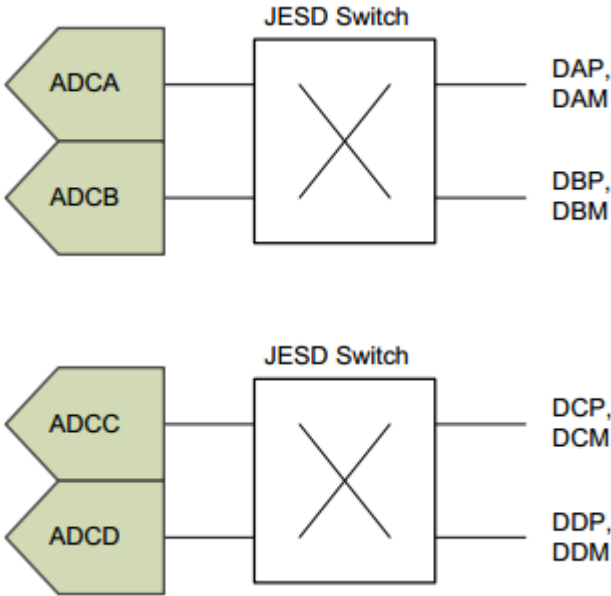


图 13 通道输出开关

11.4 Serdes 传输器接口

每一个 10Gbps 的传输器输出都需要在传输器和接收器之间进行 AC 耦合。差分传输线必须在尽量接近接收器端口有一个 100ohm 的电阻负载，从而减少不必要的信号反射以及衰减，如图 14 所示

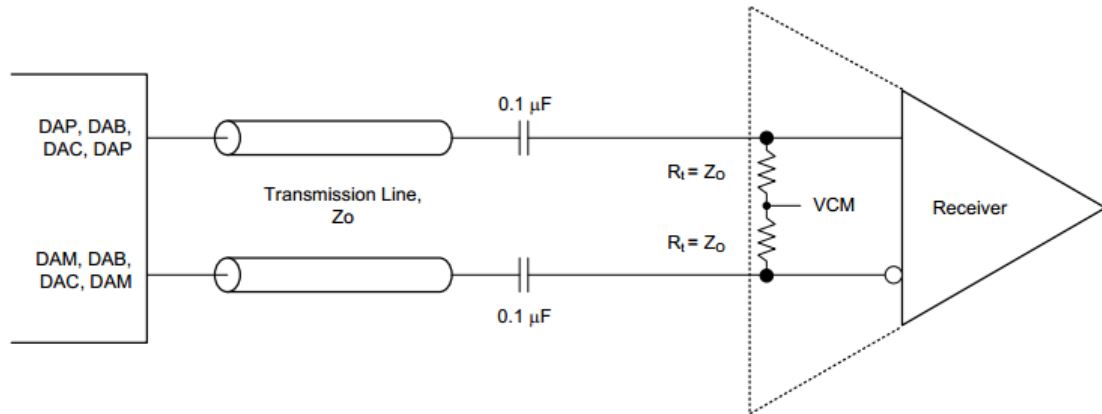


图 14 高速收发器发送端连接到接收端

11.5 SYNCb 接口

YFC95066 支持单（SYNCb 控制所有四个 JESD204B 链路）或双 SYNCb 控制（一个 SYNCb 控制两个 JESD204B 通道（DA、DB 和 DC、DD）。当使用单同步控制时，将未使用的输入连接到差分逻辑低（SYNCbXXP=0V, SYNCbXXMM= IOVDD）。



12 硬件复位说明

在加电后，内部寄存器在硬复位后初始化忽略值。高脉冲复位，脉宽 10ns。也可以通过 SPI 接口直接复位。二者的时序关系如下。

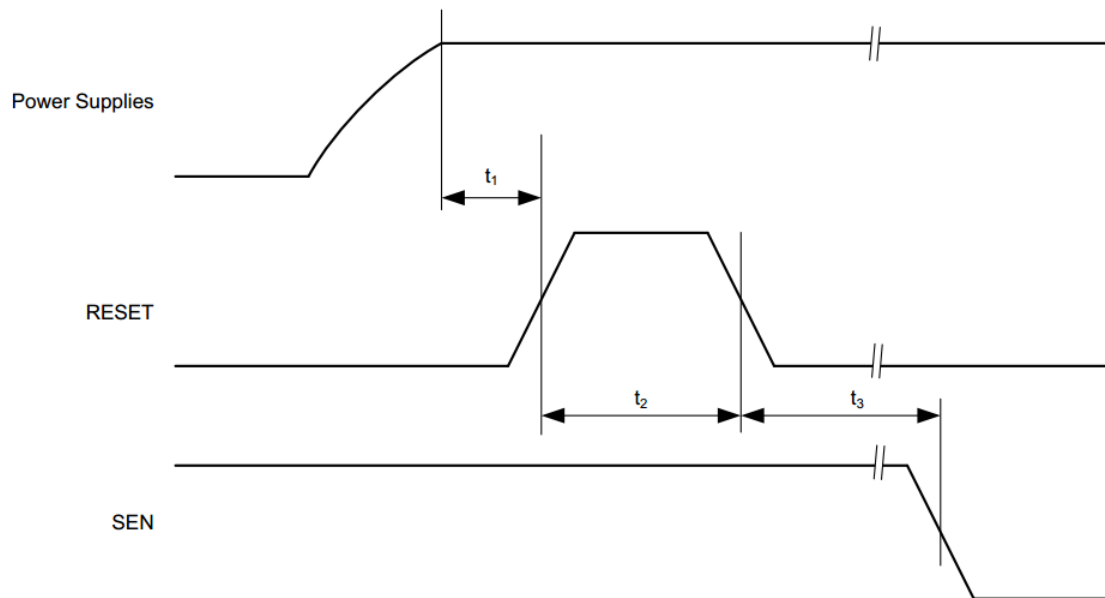


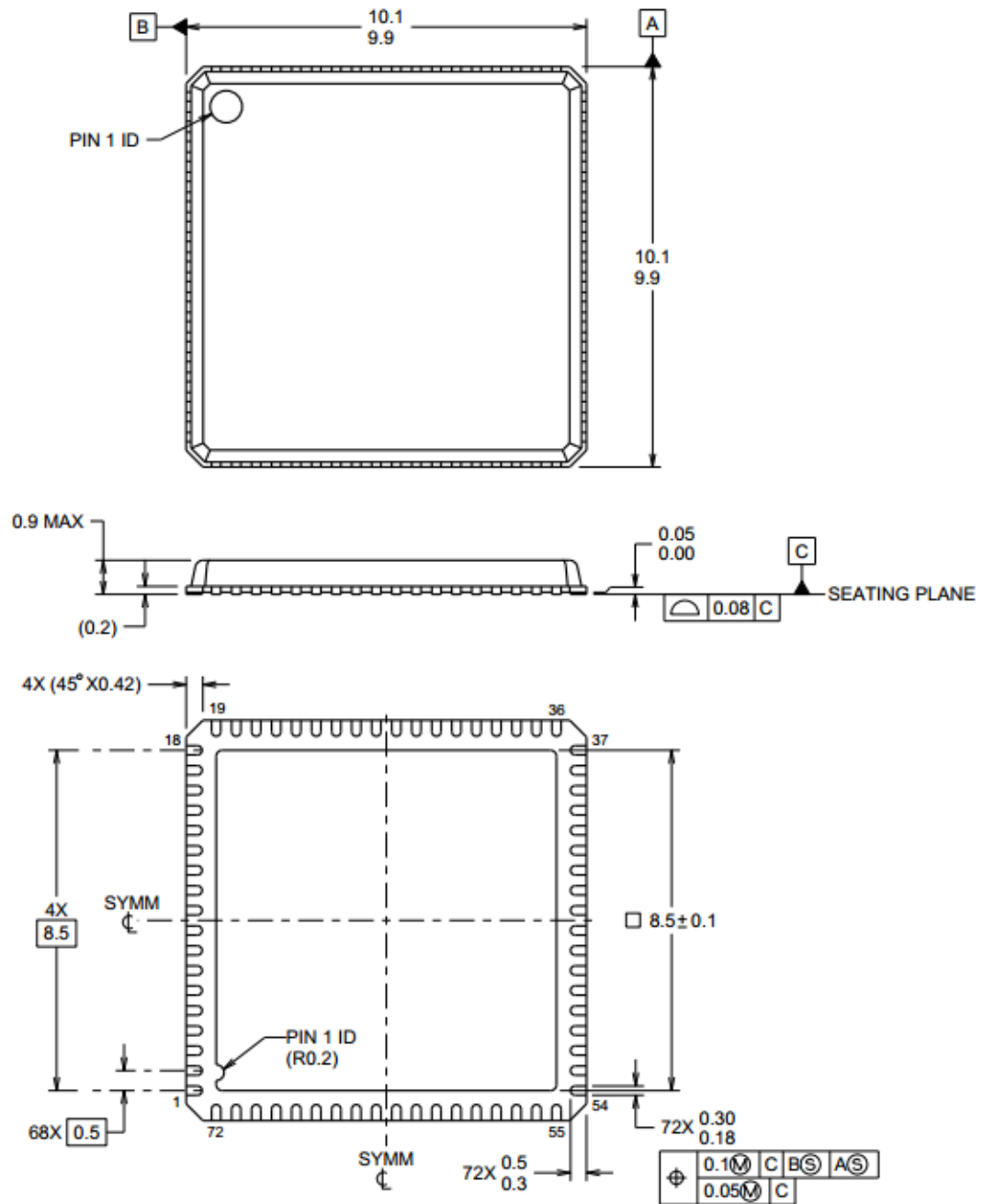
图 15 硬件复位时序图

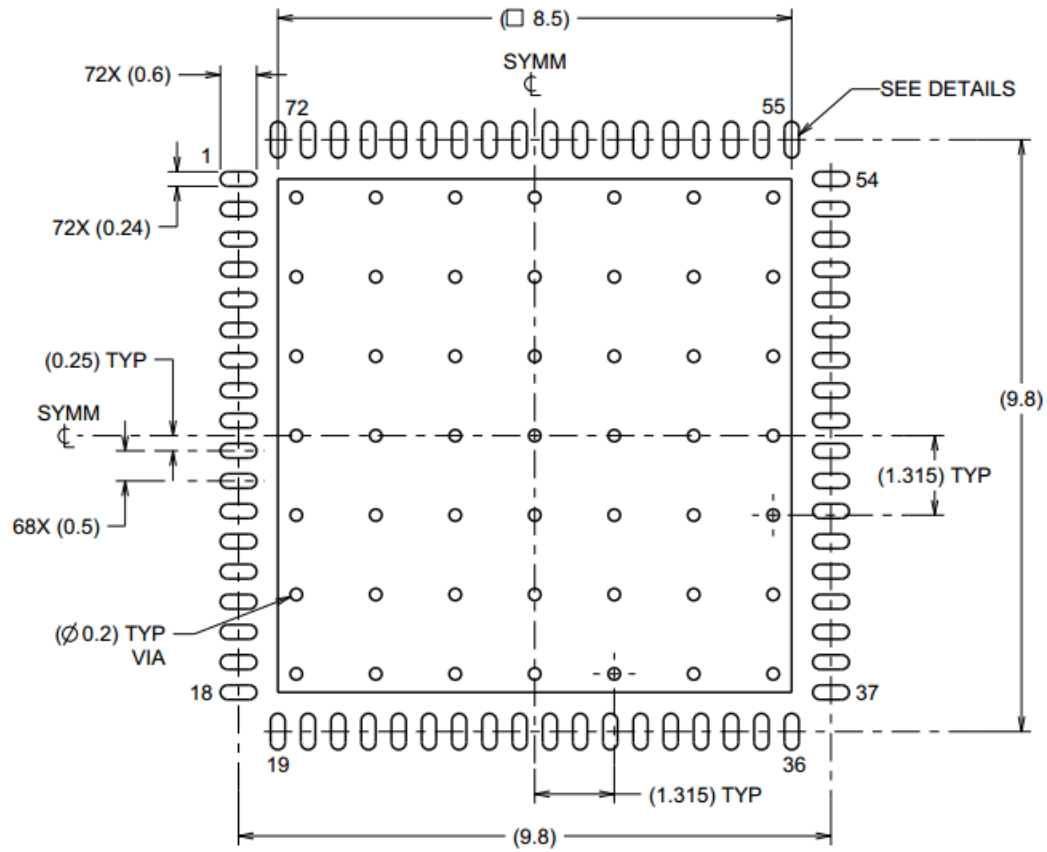
表 65 硬件复位时序要求

	MIN	TYP	MAX	单位
t_1 上电到产生复位高脉冲延迟	1			ms
t_2 复位脉宽：复位高有效宽度	10			ns
t_3 从复位失效到 SEN 有效的写寄存器延迟	100			ns

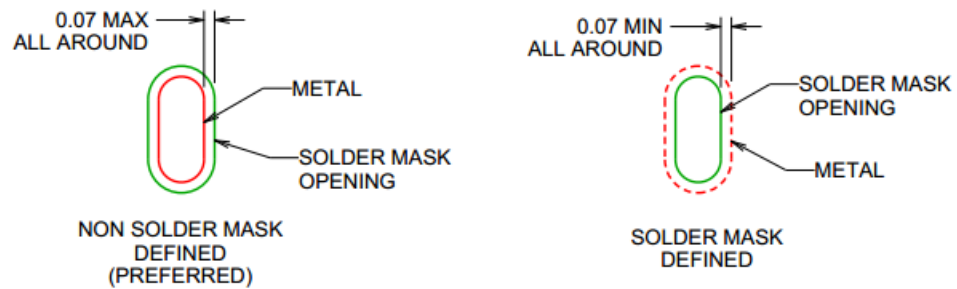


13 封装

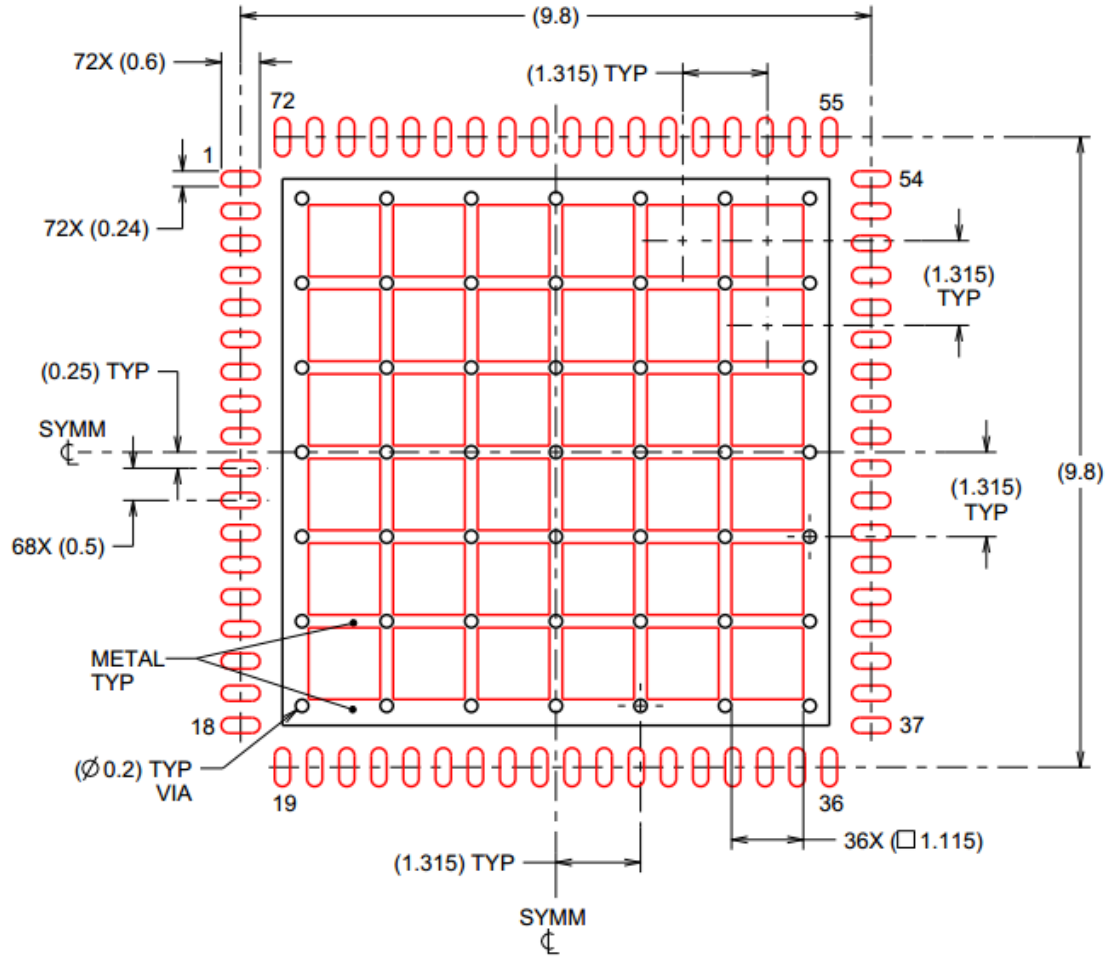




LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
62% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

图 16 封装图